

# 数字系统设计

郑海永

上课时间地点：周 2/9 10 节/3308  
电子信息科学与技术 2010 级和 2011 级

中国海洋大学 电子工程系

2013 年 5 月



# VHDL

- ① 硬件描述语言
- ② VHDL 基础
- ③ VHDL 实例
- ④ VHDL 入门
- ⑤ **VHDL 基本语句**
- ⑥ VHDL 深入

# 目录

- ① 仿真与延迟
  - 验证
  - 仿真  $\Delta$  机制
  - 延迟

# 内容提要

- 1 仿真与延迟
  - 验证
  - 仿真  $\Delta$  机制
  - 延迟

# 内容提要

- 1 仿真与延迟
  - 验证
  - 仿真  $\Delta$  机制
  - 延迟

# 数字系统设计流程

## 层次

- ① 系统设计
- ② 模块设计
- ③ 器件设计
- ④ 版图设计

## 类型

- 描述
- 划分
- 综合
- 验证

# 工作类型

## 类型

描述

划分

综合

验证

- 1 高级别层次 ⇒ 描述、验证
- 2 划分、综合 ⇒ 高级别描述转换至低一级别的描述
- 3 验证、划分和综合 ⇒ 设计工作向更低级别延伸

## 仿真

- 为了验证“描述”和“综合”的结果能否满足设计功能的要求，必须在设计过程的不同阶段，对不同设计层次的设计模块进行验证，以便及时对设计进行修改。
- 当前主要的验证手段是逻辑模拟，也称为仿真。

# 工作类型

## 类型

描述

划分

综合

验证

- 1 高级别层次  $\Rightarrow$  描述、验证
- 2 划分、综合  $\Rightarrow$  高级别描述转换至低一级别的描述
- 3 验证、划分和综合  $\Rightarrow$  设计工作向更低级别延伸

## 仿真

- 为了验证“描述”和“综合”的结果能否满足设计功能的要求，必须在设计过程的不同阶段，对不同设计层次的设计模块进行验证，以便及时对设计进行修改。
- 当前主要的验证手段是逻辑模拟，也称为仿真。



# 工作类型

## 类型

描述

划分

综合

验证

- 1 高级别层次 ⇒ 描述、验证
- 2 划分、综合 ⇒ 高级别描述转换至低一级别的描述
- 3 验证、划分和综合 ⇒ 设计工作向更低级别延伸

## 仿真

- 为了验证“描述”和“综合”的结果能否满足设计功能的要求，必须在设计过程的不同阶段，对不同设计层次的设计模块进行验证，以便及时对设计进行修改。
- 当前主要的验证手段是逻辑模拟，也称为仿真。

# 仿真

## 阶段

### ① 行为级仿真

目的是验证系统的数学模型和行为描述是否正确，抽象程度较高。一般不必考虑电路中的延迟问题。

### ② 寄存器传输级 (RTL) 仿真

### ③ 门级仿真

### ④ 功能仿真 (Functional) 前仿真

- 行为级仿真只验证设计模块的数学模型和逻辑功能的设计描述是否正确。
- RTL 仿真对设计模块的逻辑功能进行验证，与电路实现所采用的工艺无关。

### ⑤ 时序仿真 (Timing) 后仿真

- 门级仿真需要包含设计模块所采用的工艺参数以便精确模拟电路模块运行时的真实特性。

# 仿真

## 阶段

### ① 行为级仿真

### ② 寄存器传输级 (RTL) 仿真

行为级仿真后，要对行为描述进行行为综合（将较高层次的行为描述转换成较低层次的RTL描述），以便后续逻辑综合。

行为综合之后，要对综合的结果即RTL描述进行RTL仿真，其目的是验证RTL描述是否符合逻辑综合工具的要求，并使其生成门级电路。

### ③ 门级仿真

### ④ 功能仿真 (Functional) 前仿真

- 行为级仿真只验证设计模块的数学模型和逻辑功能的设计描述是否正确。

- RTL仿真对设计模块的逻辑功能进行验证，与电路实现所采用的工艺无关。

### ⑤ 时序仿真 (Timing) 后仿真

- 门级仿真需要包含设计模块所采用的工艺参数以便精确模拟电路模块

# 仿真

## 阶段

- 1 行为级仿真
- 2 寄存器传输级 (RTL) 仿真
- 3 门级仿真

RTL 仿真完毕后，就可以对 RTL 描述及其约束条件（面积、速度、功耗、可测性等）以及包含工艺参数的工艺库进行逻辑综合（将 RTL 描述转换成门级网表）。

之后要进行门级仿真，同时还要考虑门电路的固有延迟（惯性延迟）、传输延迟和负载延迟。

## ● 功能仿真 (Functional) 前仿真

- 行为级仿真只验证设计模块的数学模型和逻辑功能的设计描述是否正确。
- RTL 仿真对设计模块的逻辑功能进行验证，与电路实现所采用的工艺无关。

## ● 时序仿真 (Timing) 后仿真

# 仿真

## 阶段

- 1 行为级仿真
- 2 寄存器传输级 (RTL) 仿真
- 3 门级仿真
- 4 功能仿真 (Functional) 前仿真
  - 行为级仿真只验证设计模块的数学模型和逻辑功能的设计描述是否正确。
  - RTL 仿真对设计模块的逻辑功能进行验证, 与电路实现所采用的工艺无关。
- 5 时序仿真 (Timing) 后仿真
  - 门级仿真需要包含设计模块所采用的工艺参数以便精确模拟电路模块运行时的真实特性。

# 仿真

## 阶段

① 行为级仿真

② 寄存器传输级 (RTL) 仿真

③ 门级仿真

④ 功能仿真 (Functional) 前仿真

- ① 行为级仿真只验证设计模块的数学模型和逻辑功能的设计描述是否正确。
- ② RTL 仿真对设计模块的逻辑功能进行验证，与电路实现所采用的工艺无关。

⑤ 时序仿真 (Timing) 后仿真

- ① 门级仿真需要包含设计模块所采用的工艺参数以便精确模拟电路模块运行时的真实特性。

# 仿真

## 阶段

- ① 行为级仿真
- ② 寄存器传输级 (RTL) 仿真
- ③ 门级仿真
- ④ 功能仿真 (Functional) 前仿真
  - ① 行为级仿真只验证设计模块的数学模型和逻辑功能的设计描述是否正确。
  - ② RTL 仿真对设计模块的逻辑功能进行验证，与电路实现所采用的工艺无关。
- ⑤ 时序仿真 (Timing) 后仿真
  - ① 门级仿真需要包含设计模块所采用的工艺参数以便精确模拟电路模块运行时的真实特性。

# 仿真

## 阶段

### ① 行为级仿真

### ② 寄存器传输级 (RTL) 仿真

### ③ 门级仿真

### ④ 功能仿真 (Functional) 前仿真

- ① 行为级仿真只验证设计模块的数学模型和逻辑功能的设计描述是否正确。
- ② RTL 仿真对设计模块的逻辑功能进行验证，与电路实现所采用的工艺无关。

### ⑤ 时序仿真 (Timing) 后仿真

- ① 门级仿真需要包含设计模块所采用的工艺参数以便精确模拟电路模块运行时的真实特性。



# 仿真

## 阶段

### ① 行为级仿真

### ② 寄存器传输级 (RTL) 仿真

### ③ 门级仿真

### ④ 功能仿真 (Functional) 前仿真

- ① **行为级仿真**只验证设计模块的数学模型和逻辑功能的设计描述是否正确。
- ② **RTL 仿真**对设计模块的逻辑功能进行验证，与电路实现所采用的工艺无关。

### ⑤ 时序仿真 (Timing) 后仿真

- ① **门级仿真**需要包含设计模块所采用的工艺参数以便精确模拟电路模块运行时的真实特性。

# 仿真

## 阶段

### ① 行为级仿真

### ② 寄存器传输级 (RTL) 仿真

### ③ 门级仿真

### ④ 功能仿真 (Functional) 前仿真

- ① **行为级仿真**只验证设计模块的数学模型和逻辑功能的设计描述是否正确。
- ② **RTL 仿真**对设计模块的逻辑功能进行验证，与电路实现所采用的工艺无关。

### ⑤ 时序仿真 (Timing) 后仿真

- ① **门级仿真**需要包含设计模块所采用的工艺参数以便精确模拟电路模块运行时的真实特性。

# 内容提要

- 1 仿真与延迟
  - 验证
  - 仿真  $\Delta$  机制
  - 延迟

# 前仿真

- 前仿真作为功能仿真，仿真器仅仅对设计模块的行为功能进行逻辑模拟验证。
- 仿真器假定电路中所有的延迟时间均为零。
- 零延迟条件下，所有并行语句同时被执行。
- 仿真结果应当与并行语句的仿真顺序无关。
- 仿真是利用计算机软件来进行的。
- 即便是对并行语句的仿真，也存在仿真执行上的先后顺序。
- 这样不同的仿真顺序会导致不同的仿真结果从而出现仿真错误。

# 前仿真

- 前仿真作为功能仿真，仿真器仅仅对设计模块的行为功能进行逻辑模拟验证。
- 仿真器假定电路中所有的延迟时间均为零。
- 零延迟条件下，所有并行语句同时被执行。
- 仿真结果应当与并行语句的仿真顺序无关。
- 仿真是利用计算机软件来进行的。
- 即便是对并行语句的仿真，也存在仿真执行上的先后顺序。
- 这样不同的仿真顺序会导致不同的仿真结果从而出现仿真错误。

# 前仿真

- 前仿真作为功能仿真，仿真器仅仅对设计模块的行为功能进行逻辑模拟验证。
- 仿真器假定电路中所有的延迟时间均为零。
- 零延迟条件下，所有并行语句同时被执行。
- 仿真结果应当与并行语句的仿真顺序无关。
- 仿真是利用计算机软件来进行的。
- 即便是对并行语句的仿真，也存在仿真执行上的先后顺序。
- 这样不同的仿真顺序会导致不同的仿真结果从而出现仿真错误。

# 前仿真

- 前仿真作为功能仿真，仿真器仅仅对设计模块的行为功能进行逻辑模拟验证。
- 仿真器假定电路中所有的延迟时间均为零。
- 零延迟条件下，所有并行语句同时被执行。
- 仿真结果应当与并行语句的仿真顺序无关。
- 仿真是利用计算机软件来进行的。
- 即便是对并行语句的仿真，也存在仿真执行上的先后顺序。
- 这样不同的仿真顺序会导致不同的仿真结果从而出现仿真错误。

# 前仿真

- 前仿真作为功能仿真，仿真器仅仅对设计模块的行为功能进行逻辑模拟验证。
- 仿真器假定电路中所有的延迟时间均为零。
- 零延迟条件下，所有并行语句同时被执行。
- 仿真结果应当与并行语句的仿真顺序无关。
- 仿真是利用计算机软件来进行的。
- 即便是对并行语句的仿真，也存在仿真执行上的先后顺序。
- 这样不同的仿真顺序会导致不同的仿真结果从而出现仿真错误。



# 前仿真

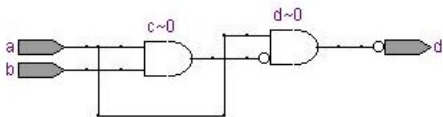
- 前仿真作为功能仿真，仿真器仅仅对设计模块的行为功能进行逻辑模拟验证。
- 仿真器假定电路中所有的延迟时间均为零。
- 零延迟条件下，所有并行语句同时被执行。
- 仿真结果应当与并行语句的仿真顺序无关。
  
- 仿真是利用计算机软件来进行的。
- 即便是对并行语句的仿真，也存在仿真执行上的先后顺序。
- 这样不同的仿真顺序会导致不同的仿真结果从而出现仿真错误。

# 组合逻辑电路实例

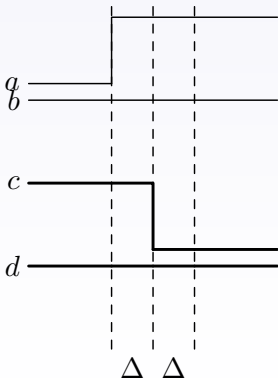
```
1 ENTITY sample IS
2   PORT(a, b: IN Bit;
3       d: OUT Bit);
4 END sample;

6 ARCHITECTURE behav1 OF sample IS
7   SIGNAL c: Bit;
8 BEGIN
9   c <= NOT(a AND b);
10  d <= NOT(a AND c);
11 END behav1;
```

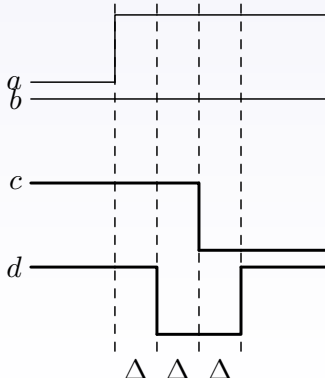
## 仿真时序分析



$$\textcircled{1} c = \overline{ab} \quad \textcircled{2} d = \overline{ac}$$



$$\textcircled{1} d = \overline{ac} \quad \textcircled{2} c = \overline{ab}$$



# 仿真 $\Delta$ 机制

## VHDL 仿真器

### 仿真 $\Delta$ 机制

一个仿真周期中，有限个  $\Delta$  延迟（仿真信号赋值语句所用的延时）不增大仿真周期的时间（也即不增加仿真时钟），所有的信号赋值语句的左操作数在每个仿真周期结束时才被替换为新值。

- 在仿真器的输出端各个信号只呈现每一个仿真周期结束那一时刻的新值，而看不到在一个仿真周期之中信号的变化情况。
- 由于仿真  $\Delta$  机制是在每个仿真周期的最后才输出该仿真周期的仿真结果，因此观察到的每个仿真周期中的信号值，实际上是上一个仿真周期的仿真结果。
- 即使在功能仿真中不考虑电路的实际延迟，由于仿真  $\Delta$  机制也会使对信号的赋值产生延迟。

# 仿真 $\Delta$ 机制

## VHDL 仿真器

### 仿真 $\Delta$ 机制

一个仿真周期中，有限个  $\Delta$  延迟（仿真信号赋值语句所用的延时）不增大仿真周期的时间（也即不增加仿真时钟），所有的信号赋值语句的左操作数在每个仿真周期结束时才被替换为新值。

- 在仿真器的输出端各个信号只呈现每一个仿真周期结束那一时刻的新值，而看不到在一个仿真周期之中信号的变化情况。
- 由于仿真  $\Delta$  机制是在每个仿真周期的最后才输出该仿真周期的仿真结果，因此观察到的每个仿真周期中的信号值，实际上是上一个仿真周期的仿真结果。
- 即使在功能仿真中不考虑电路的实际延迟，由于仿真  $\Delta$  机制也会使对信号的赋值产生延迟。

# 仿真 $\Delta$ 机制

## VHDL 仿真器

### 仿真 $\Delta$ 机制

一个仿真周期中，有限个  $\Delta$  延迟（仿真信号赋值语句所用的延时）不增大仿真周期的时间（也即不增加仿真时钟），所有的信号赋值语句的左操作数在每个仿真周期结束时才被替换为新值。

- 在仿真器的输出端各个信号只呈现每一个仿真周期结束那一时刻的新值，而看不到在一个仿真周期之中信号的变化情况。
- 由于仿真  $\Delta$  机制是在每个仿真周期的最后才输出该仿真周期的仿真结果，因此观察到的每个仿真周期中的信号值，实际上是上一个仿真周期的仿真结果。
- 即使在功能仿真中不考虑电路的实际延迟，由于仿真  $\Delta$  机制也会使对信号的赋值产生延迟。

# 仿真 $\Delta$ 机制

## VHDL 仿真器

### 仿真 $\Delta$ 机制

一个仿真周期中，有限个  $\Delta$  延迟（仿真信号赋值语句所用的延时）不增大仿真周期的时间（也即不增加仿真时钟），所有的信号赋值语句的左操作数在每个仿真周期结束时才被替换为新值。

- 在仿真器的输出端各个信号只呈现每一个仿真周期结束那一时刻的新值，而看不到在一个仿真周期之中信号的变化情况。
- 由于仿真  $\Delta$  机制是在每个仿真周期的最后才输出该仿真周期的仿真结果，因此观察到的每个仿真周期中的信号值，实际上是上一个仿真周期的仿真结果。
- 即使在功能仿真中不考虑电路的实际延迟，由于仿真  $\Delta$  机制也会使对信号的赋值产生延迟。

# 内容提要

- 1 仿真与延迟
  - 验证
  - 仿真  $\Delta$  机制
  - 延迟



# 延迟

## 时序仿真

考虑门电路的硬件实际延迟。

$$\text{总延迟} = \text{固有延迟} + \text{传输延迟} + \text{负载延迟} + \text{输入波形斜度延迟}$$
$$\text{输入波形斜度延迟} \Leftrightarrow \text{波形建立延迟}$$

# 固有延迟

## 特点

如果在门电路的输入端施加一个脉冲宽度小于该门电路固有延迟的激励（例如毛刺），则在该门电路的输出端没有发生信号改变。

- 物理机制是门电路中的分布电容具有吸收脉冲能量的效应。
- 当在门电路的输入端所施加的激励脉冲宽度小于门电路输入端的分布电容对应的时间常数时；
- 或者小于该门电路的固有延迟时；
- 即使激励脉冲电平足够高，但由于积分时间太短，也无法突破导致门电路翻转的阈值电平，因此门电路输出端不会发生信号变化。

对一个静止物体施加一个外力，即使所施加的外力足够大，但如果这个外力持续时间太短，仍将无法克服物体的静止惯性而将其推动，因此固有延迟又称为惯性延迟。

# 固有延迟

## 特点

如果在门电路的输入端施加一个脉冲宽度小于该门电路固有延迟的激励（例如毛刺），则在该门电路的输出端没有发生信号改变。

- 物理机制是门电路中的分布电容具有吸收脉冲能量的效应。
- 当在门电路的输入端所施加的激励脉冲宽度小于门电路输入端的分布电容对应的时间常数时；
- 或者小于该门电路的固有延迟时；
- 即使激励脉冲电平足够高，但由于积分时间太短，也无法突破导致门电路翻转的阈值电平，因此门电路输出端不会发生信号变化。

对一个静止物体施加一个外力，即使所施加的外力足够大，但如果这个外力持续时间太短，仍将无法克服物体的静止惯性而将其推动，因此固有延迟又称为惯性延迟。

# 固有延迟

## 特点

如果在门电路的输入端施加一个脉冲宽度小于该门电路固有延迟的激励（例如毛刺），则在该门电路的输出端没有发生信号改变。

- 物理机制是门电路中的分布电容具有吸收脉冲能量的效应。
- 当在门电路的输入端所施加的激励脉冲宽度小于门电路输入端的分布电容对应的时间常数时；
- 或者小于该门电路的固有延迟时；
- 即使激励脉冲电平足够高，但由于积分时间太短，也无法突破导致门电路翻转的阈值电平，因此门电路输出端不会发生信号变化。

对一个静止物体施加一个外力，即使所施加的外力足够大，但如果这个外力持续时间太短，仍将无法克服物体的静止惯性而将其推动，因此固有延迟又称为惯性延迟。

# 传输延迟

## 特点

无论激励脉冲的持续时间长短，均表现为从门电路的输入端到输出端的一种绝对延迟。

- 传输延迟主要是由于门电路模块内部、门电路模块之间以及 PCB 上的连线所引起的。

# 传输延迟

## 特点

无论激励脉冲的持续时间长短，均表现为从门电路的输入端到输出端的一种绝对延迟。

- 传输延迟主要是由于门电路模块内部、门电路模块之间以及 PCB 上的连线所引起的。

# 负载延迟

## 特点

在门电路模块的输出端由于负载电容所产生的附加延迟。

- 一个门电路的负载越重，其负载电容所引起的延迟就越大。

# 负载延迟

## 特点

在门电路模块的输出端由于负载电容所产生的附加延迟。

- 一个门电路的负载越重，其负载电容所引起的延迟就越大。



# 输入波形斜度延迟

## 特点

由于在输入端所施加的激励信号脉冲波形边沿的斜度所引起的延迟，也称为波形建立延迟。

# 延迟模型

## 负载延迟与输入波形斜度延迟

仿真时可以分别等效于在门电路的输出端和输入端增加了传输线的结果，可以与传输延迟等同对待。

## 固有延迟与传输延迟

- 在集成电路的制造工艺还处于微米级的时期，影响门电路模块延迟时间的主要因素是固有延迟，传输延迟与之相比要小得多。
- 但目前集成电路的制造工艺早已发展到亚微米级和深亚微米级，传输延迟就成为影响门电路模块延迟时间的主要因素。
- 分布电容越小，门电路固有延迟就越小；工作电压越高，分布电容的充放电电流就越大，固有延迟就越小。
- 工作电压越高，工作频率就可以更高，但工作电压高会导致电路功耗急剧增大；任何一种工艺的门电路，都有其某种工作电压下的工作频率上限。

## 延迟模型

### 负载延迟与输入波形斜度延迟

仿真时可以分别等效于在门电路的输出端和输入端增加了传输线的结果，可以与传输延迟等同对待。

### 固有延迟与传输延迟

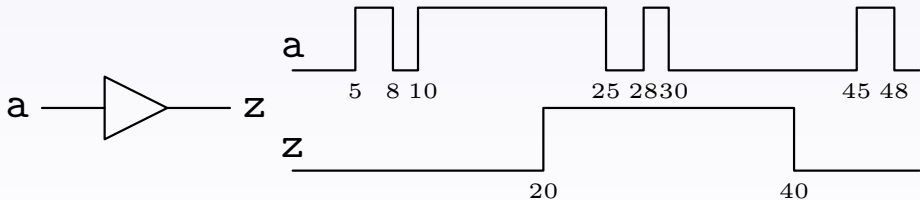
- 在集成电路的制造工艺还处于微米级的时期，影响门电路模块延迟时间的主要因素是固有延迟，传输延迟与之相比要小得多。
- 但目前集成电路的制造工艺早已发展到亚微米级和深亚微米级，传输延迟就成为影响门电路模块延迟时间的主要因素。
- 分布电容越小，门电路固有延迟就越小；工作电压越高，分布电容的充放电电流就越大，固有延迟就越小。
- 工作电压越高，工作频率就可以更高，但工作电压高会导致电路功耗急剧增大；任何一种工艺的门电路，都有其某种工作电压下的工作频率上限。

# 惯性延迟模型

非反向缓冲器

惯性延迟 $10ns$ ，脉冲拒绝限制 $4ns$ 。

```
z <= REJECT 4ns INERTIAL a AFTER 10ns;
```



通常用来消除不必要的干扰和毛刺

# 传输延迟模型

非反向缓冲器

传输延迟为  $10ns$ 。

```
z <= TRANSPORT a AFTER 10ns;
```

