

数字系统设计

郑海永

中国海洋大学 电子工程系

2014年3月



概论

- ① 数字集成电路
- ② 可编程逻辑器件
- ③ 数字系统设计自动化
- ④ 数字系统设计流程
- ⑤ 知识产权核
- ⑥ 优化设计

目录

1 数字系统设计自动化

- 发展
- 未来
- 中国

2 数字系统的设计流程

- 设计方法
- 设计工作

内容提要

1 数字系统设计自动化

- 发展
- 未来
- 中国

2 数字系统的设计流程

- 设计方法
- 设计工作

内容提要

1 数字系统设计自动化

- 发展
- 未来
- 中国

2 数字系统的设计流程

- 设计方法
- 设计工作

① 集成电路

数字系统硬件构成

- 1 分立元件
- 2 中小规模集成电路 (SSI/MSI)
- 3 大规模集成电路 (LSI)
- 4 超大规模集成电路 (VLSI)
- 5 甚大规模集成电路 (ULSI)

● 集成电路 ⇒ 电子设计自动化

● 电子设计自动化 ⇒ 集成电路

EDA 工具的提高还满足不了集成电路集成度增长的需求

① 集成电路

数字系统硬件构成

- 1 分立元件
- 2 中小规模集成电路 (SSI/MSI)
- 3 大规模集成电路 (LSI)
- 4 超大规模集成电路 (VLSI)
- 5 甚大规模集成电路 (ULSI)

● 集成电路 ⇒ 电子设计自动化

● 电子设计自动化 ⇒ 集成电路

EDA 工具的提高还满足不了集成电路集成度增长的需求

① 集成电路

数字系统硬件构成

- ① 分立元件
- ② 中小规模集成电路 (SSI/MSI)
- ③ 大规模集成电路 (LSI)
- ④ 超大规模集成电路 (VLSI)
- ⑤ 甚大规模集成电路 (ULSI)

● 集成电路 ⇒ 电子设计自动化

● 电子设计自动化 ⇒ 集成电路

EDA 工具的提高还满足不了集成电路集成度增长的需求

① 集成电路

数字系统硬件构成

- ① 分立元件
- ② 中小规模集成电路 (SSI/MSI)
- ③ 大规模集成电路 (LSI)
- ④ 超大规模集成电路 (VLSI)
- ⑤ 甚大规模集成电路 (ULSI)

- 集成电路 ⇒ 电子设计自动化
- 电子设计自动化 ⇒ 集成电路

EDA 工具的提高还满足不了集成电路集成度增长的需求

① 集成电路

数字系统硬件构成

- ① 分立元件
- ② 中小规模集成电路 (SSI/MSI)
- ③ 大规模集成电路 (LSI)
- ④ 超大规模集成电路 (VLSI)
- ⑤ 甚大规模集成电路 (ULSI)

- 集成电路 ⇒ 电子设计自动化
- 电子设计自动化 ⇒ 集成电路

EDA 工具的提高还满足不了集成电路集成度增长的需求

① 集成电路

数字系统硬件构成

- ① 分立元件
- ② 中小规模集成电路 (SSI/MSI)
- ③ 大规模集成电路 (LSI)
- ④ 超大规模集成电路 (VLSI)
- ⑤ 甚大规模集成电路 (ULSI)

● 集成电路 ⇒ 电子设计自动化

● 电子设计自动化 ⇒ 集成电路

EDA 工具的提高还满足不了集成电路集成度增长的需求

① 集成电路

数字系统硬件构成

- 1 分立元件
- 2 中小规模集成电路 (SSI/MSI)
- 3 大规模集成电路 (LSI)
- 4 超大规模集成电路 (VLSI)
- 5 甚大规模集成电路 (ULSI)

● 集成电路 ⇒ 电子设计自动化

● 电子设计自动化 ⇒ 集成电路

EDA 工具的提高还满足不了集成电路集成度增长的需求

① 集成电路

数字系统硬件构成

- ① 分立元件
- ② 中小规模集成电路 (SSI/MSI)
- ③ 大规模集成电路 (LSI)
- ④ 超大规模集成电路 (VLSI)
- ⑤ 甚大规模集成电路 (ULSI)

● 集成电路 ⇒ 电子设计自动化

● 电子设计自动化 ⇒ 集成电路

EDA 工具的提高还满足不了集成电路集成度增长的需求

① 集成电路

数字系统硬件构成

- ① 分立元件
- ② 中小规模集成电路 (SSI/MSI)
- ③ 大规模集成电路 (LSI)
- ④ 超大规模集成电路 (VLSI)
- ⑤ 甚大规模集成电路 (ULSI)

● 集成电路 ⇒ 电子设计自动化

● 电子设计自动化 ⇒ 集成电路

EDA 工具的提高还满足不了集成电路集成度增长的需求

① 集成电路

数字系统硬件构成

- ① 分立元件
- ② 中小规模集成电路 (SSI/MSI)
- ③ 大规模集成电路 (LSI)
- ④ 超大规模集成电路 (VLSI)
- ⑤ 甚大规模集成电路 (ULSI)

● 集成电路 ⇒ 电子设计自动化

● 电子设计自动化 ⇒ 集成电路

EDA 工具的提高还满足不了集成电路集成度增长的需求

② CAD (20 世纪 70 年代)

CAD

计算机辅助设计

- 集成电路和数字系统。
- 大规模集成电路 (LSI) 的布线和印刷电路板 (PCB) 布线设计。
- 使用二维图形编辑和分析工具代替传统的手工布图布线方法。
- 大大提高了工作效率和产品设计的复杂程度。

② CAD (20 世纪 70 年代)

CAD

计算机辅助设计

- 集成电路和数字系统。
- 大规模集成电路 (LSI) 的布线和印刷电路板 (PCB) 布线设计。
- 使用二维图形编辑和分析工具代替传统的手工布图布线方法。
- 大大提高了工作效率和产品设计的复杂程度。

② CAD (20 世纪 70 年代)

CAD

计算机辅助设计

- 集成电路和数字系统。
- 大规模集成电路 (LSI) 的布线和印刷电路板 (PCB) 布线设计。
- 使用二维图形编辑和分析工具代替传统的手工布图布线方法。
- 大大提高了工作效率和产品设计的复杂程度。

② CAD (20 世纪 70 年代)

CAD

计算机辅助设计

- 集成电路和数字系统。
- 大规模集成电路 (LSI) 的布线和印刷电路板 (PCB) 布线设计。
- 使用二维图形编辑和分析工具代替传统的手工布图布线方法。
- 大大提高了工作效率和产品设计的复杂程度。

③ CAE (20 世纪 80 年代)

CAE

计算机辅助工程

- 交互式逻辑图编辑工具、逻辑模拟工具、LSI 和 PCB 自动布局布线工具。
- 使设计人员在产品的设计阶段对产品的性能进行分析，验证产品功能，并且生成产品制造文件。
- 提供单元库支持，具有一定的设计功能，可以代替设计人员的部分设计工作。
- 保证设计质量和提高设计效率。

③ CAE (20 世纪 80 年代)

CAE 计算机辅助工程

- 交互式逻辑图编辑工具、逻辑模拟工具、LSI 和 PCB 自动布局布线工具。
- 使设计人员在产品的设计阶段对产品的性能进行分析，验证产品功能，并且生成产品制造文件。
- 提供单元库支持，具有一定的设计功能，可以代替设计人员的部分设计工作。
- 保证设计质量和提高设计效率。

③ CAE (20 世纪 80 年代)

CAE

计算机辅助工程

- 交互式逻辑图编辑工具、逻辑模拟工具、LSI 和 PCB 自动布局布线工具。
- 使设计人员在产品的设计阶段对产品的性能进行分析，验证产品功能，并且生成产品制造文件。
- 提供单元库支持，具有一定的设计功能，可以代替设计人员的部分设计工作。
- 保证设计质量和提高设计效率。

③ CAE (20 世纪 80 年代)

CAE

计算机辅助工程

- 交互式逻辑图编辑工具、逻辑模拟工具、LSI 和 PCB 自动布局布线工具。
- 使设计人员在产品的设计阶段对产品的性能进行分析，验证产品功能，并且生成产品制造文件。
- 提供单元库支持，具有一定的设计功能，可以代替设计人员的部分设计工作。
- 保证设计质量和提高设计效率。

④ EDA（20世纪90年代）

EDA

电子设计自动化

- 融合计算机辅助制造（CAM）、计算机辅助测试（CAT）、计算机辅助工程（CAE）等。
- 以逻辑综合、硬件行为仿真、参数分析和测试为重点。
- 可以用逻辑图、文字硬件描述语言、图文混合方式进行设计描述。
- 设计可以从高层次开始且具有可交换性、可再利用性等。

④ EDA（20 世纪 90 年代）

EDA

电子设计自动化

- 融合计算机辅助制造（CAM）、计算机辅助测试（CAT）、计算机辅助工程（CAE）等。
- 以逻辑综合、硬件行为仿真、参数分析和测试为重点。
- 可以用逻辑图、文字硬件描述语言、图文混合方式进行设计描述。
- 设计可以从高层次开始且具有可交换性、可再利用性等。

④ EDA (20 世纪 90 年代)

EDA

电子设计自动化

- 融合计算机辅助制造 (CAM)、计算机辅助测试 (CAT)、计算机辅助工程 (CAE) 等。
- 以逻辑综合、硬件行为仿真、参数分析和测试为重点。
- 可以用逻辑图、文字硬件描述语言、图文混合方式进行设计描述。
- 设计可以从高层次开始且具有可交换性、可再利用性等。

④ EDA (20 世纪 90 年代)

EDA

电子设计自动化

- 融合计算机辅助制造 (CAM)、计算机辅助测试 (CAT)、计算机辅助工程 (CAE) 等。
- 以逻辑综合、硬件行为仿真、参数分析和测试为重点。
- 可以用逻辑图、文字硬件描述语言、图文混合方式进行设计描述。
- 设计可以从高层次开始且具有可交换性、可再利用性等。

EDA 工具构成

主要构成

- 设计输入模块
- 设计数据库模块
- 综合模块
- 分析验证模块
- 布局布线模块

算法级、寄存器传输级 (RTL)、门级和电路级进行设计描述、综合与仿真。

⑤ SoC (20 世纪末期)

SoC

片上系统 (系统级芯片)

- 单个芯片中可以容纳包括硬件和软件整个系统的设计技术。
- 硬件比如处理器、存储器、接口电路、专用电路、可编程电路、A/D 或 D/A 转换电路、射频电路等。
- 软件比如嵌入式操作系统 ($\mu\text{C}/\text{OS}$ 、*Linux*、*RTOS* 等)、处理器指令组成的程序等。
- 微处理器作为其基本组件，高度智能化。

⑤ SoC (20 世纪末期)

SoC

片上系统 (系统级芯片)

- 单个芯片中可以容纳包括硬件和软件整个系统的设计技术。
- 硬件比如处理器、存储器、接口电路、专用电路、可编程电路、A/D 或 D/A 转换电路、射频电路等。
- 软件比如嵌入式操作系统 ($\mu\text{C}/\text{OS}$ 、*Linux*、*RTOS* 等)、处理器指令组成的程序等。
- 微处理器作为其基本组件，高度智能化。

⑤ SoC (20 世纪末期)

SoC

片上系统 (系统级芯片)

- 单个芯片中可以容纳包括硬件和软件整个系统的设计技术。
- 硬件比如处理器、存储器、接口电路、专用电路、可编程电路、A/D 或 D/A 转换电路、射频电路等。
- 软件比如嵌入式操作系统 ($\mu\text{C}/\text{OS}$ 、*Linux*、*RTOS* 等)、处理器指令组成的程序等。
- 微处理器作为其基本组件，高度智能化。

⑤ SoC (20 世纪末期)

SoC

片上系统 (系统级芯片)

- 单个芯片中可以容纳包括硬件和软件整个系统的设计技术。
- 硬件比如处理器、存储器、接口电路、专用电路、可编程电路、A/D 或 D/A 转换电路、射频电路等。
- 软件比如嵌入式操作系统 ($\mu\text{C}/\text{OS}$ 、*Linux*、*RTOS* 等)、处理器指令组成的程序等。
- 微处理器作为其基本组件，高度智能化。

内容提要

1 数字系统设计自动化

- 发展
- 未来
- 中国

2 数字系统的设计流程

- 设计方法
- 设计工作

发展趋势

- 软硬件协同设计技术。
 - 电子设计成果的可重用性。
 - 系统级、行为验证级硬件描述语言。
 - 开放性和标准化。
 - 更完备的库。
- 从过去发展的过程看，EDA 技术一直滞后于制造工艺的发展，它在制造技术的驱动下不断进步。
- 从长远看，EDA 技术将随着微电子技术、计算机技术的不断发展而发展。

发展趋势

- 软硬件协同设计技术。
- 电子设计成果的可重用性。
- 系统级、行为验证级硬件描述语言。
- 开放性和标准化。
- 更完备的库。

- 从过去发展的过程看，EDA 技术一直滞后于制造工艺的发展，它在制造技术的驱动下不断进步。
- 从长远看，EDA 技术将随着微电子技术、计算机技术的不断发展而发展。

未来

未来的 VLSI 设计者是科学家而不是工程师

- 未来的 EDA 工具将高度自动化。
- 设计者的重点是概念设计。
- 大部分工程实现中的技术问题都可依靠 EDA 工具解决。

内容提要

1 数字系统设计自动化

- 发展
- 未来
- 中国

2 数字系统的设计流程

- 设计方法
- 设计工作

中国 EDA 工具发展

熊猫系统

1986 打破封锁，全国 17 家单位、200 余人联合攻关。

1990 发布熊猫系统，覆盖设计全流程。

1993 获国家科技进步一等奖。

1995 发布熊猫 2000 (Panda 2000)，集中优势技术，获国家科技进步应用三等奖。

2000 “熊猫 EDA 系统—九天系列工具”，发布 Zeni-V1.0 版本，具有国际先进技术水平。

2003 推出全新 IC 设计平台 Zeni-V4.0 版本，具有国际竞争优势。

... ..

华大九天 国产 EDA 工具。

EDA 中心 中国科学院 EDA 中心。

中国 EDA 工具发展

熊猫系统

1986 打破封锁，全国 17 家单位、200 余人联合攻关。

1990 发布熊猫系统，覆盖设计全流程。

1993 获国家科技进步一等奖。

1995 发布熊猫 2000 (Panda 2000)，集中优势技术，获国家科技进步应用三等奖。

2000 “熊猫 EDA 系统—九天系列工具”，发布 Zeni-V1.0 版本，具有国际先进技术水平。

2003 推出全新 IC 设计平台 Zeni-V4.0 版本，具有国际竞争优势。

... ..

华大九天 国产 EDA 工具。

EDA 中心 中国科学院 EDA 中心。

中国 EDA 工具发展

熊猫系统

1986 打破封锁，全国 17 家单位、200 余人联合攻关。

1990 发布熊猫系统，覆盖设计全流程。

1993 获国家科技进步一等奖。

1995 发布熊猫 2000 (Panda 2000)，集中优势技术，获国家科技进步应用三等奖。

2000 “熊猫 EDA 系统—九天系列工具”，发布 Zeni-V1.0 版本，具有国际先进技术水平。

2003 推出全新 IC 设计平台 Zeni-V4.0 版本，具有国际竞争优势。

... ..

华大九天 国产 EDA 工具。

EDA 中心 中国科学院 EDA 中心。

中国 EDA 工具发展

熊猫系统

- 1986 打破封锁，全国 17 家单位、200 余人联合攻关。
- 1990 发布熊猫系统，覆盖设计全流程。
- 1993 获国家科技进步一等奖。
- 1995 发布熊猫 2000 (Panda 2000)，集中优势技术，获国家科技进步应用三等奖。
- 2000 “熊猫 EDA 系统—九天系列工具”，发布 Zeni-V1.0 版本，具有国际先进技术水平。
- 2003 推出全新 IC 设计平台 Zeni-V4.0 版本，具有国际竞争优势。

... ..

华大九天 国产 EDA 工具。

EDA 中心 中国科学院 EDA 中心。

中国 EDA 工具发展

熊猫系统

- 1986 打破封锁，全国 17 家单位、200 余人联合攻关。
- 1990 发布熊猫系统，覆盖设计全流程。
- 1993 获国家科技进步一等奖。
- 1995 发布熊猫 2000 (Panda 2000)，集中优势技术，获国家科技进步应用三等奖。
- 2000 “熊猫 EDA 系统—九天系列工具”，发布 Zeni-V1.0 版本，具有国际先进技术水平。
- 2003 推出全新 IC 设计平台 Zeni-V4.0 版本，具有国际竞争优势。

... ..

华大九天 国产 EDA 工具。

EDA 中心 中国科学院 EDA 中心。

中国 EDA 工具发展

熊猫系统

- 1986 打破封锁，全国 17 家单位、200 余人联合攻关。
- 1990 发布熊猫系统，覆盖设计全流程。
- 1993 获国家科技进步一等奖。
- 1995 发布熊猫 2000 (Panda 2000)，集中优势技术，获国家科技进步应用三等奖。
- 2000 “熊猫 EDA 系统—九天系列工具”，发布 Zeni-V1.0 版本，具有国际先进技术水平。
- 2003 推出全新 IC 设计平台 Zeni-V4.0 版本，具有国际竞争优势。

... ..

华大九天 国产 EDA 工具。

EDA 中心 中国科学院 EDA 中心。

中国 EDA 工具发展

熊猫系统

- 1986 打破封锁，全国 17 家单位、200 余人联合攻关。
- 1990 发布熊猫系统，覆盖设计全流程。
- 1993 获国家科技进步一等奖。
- 1995 发布熊猫 2000 (Panda 2000)，集中优势技术，获国家科技进步应用三等奖。
- 2000 “熊猫 EDA 系统—九天系列工具”，发布 Zeni-V1.0 版本，具有国际先进技术水平。
- 2003 推出全新 IC 设计平台 Zeni-V4.0 版本，具有国际竞争优势。

.....

华大九天 国产 EDA 工具。

EDA 中心 中国科学院 EDA 中心。

中国 EDA 工具发展

熊猫系统

- 1986 打破封锁，全国 17 家单位、200 余人联合攻关。
- 1990 发布熊猫系统，覆盖设计全流程。
- 1993 获国家科技进步一等奖。
- 1995 发布熊猫 2000 (Panda 2000)，集中优势技术，获国家科技进步应用三等奖。
- 2000 “熊猫 EDA 系统—九天系列工具”，发布 Zeni-V1.0 版本，具有国际先进技术水平。
- 2003 推出全新 IC 设计平台 Zeni-V4.0 版本，具有国际竞争优势。

... ..

华大九天 国产 EDA 工具。

EDA 中心 中国科学院 EDA 中心。

中国 EDA 工具发展

熊猫系统

- 1986 打破封锁，全国 17 家单位、200 余人联合攻关。
- 1990 发布熊猫系统，覆盖设计全流程。
- 1993 获国家科技进步一等奖。
- 1995 发布熊猫 2000 (Panda 2000)，集中优势技术，获国家科技进步应用三等奖。
- 2000 “熊猫 EDA 系统—九天系列工具”，发布 Zeni-V1.0 版本，具有国际先进技术水平。
- 2003 推出全新 IC 设计平台 Zeni-V4.0 版本，具有国际竞争优势。

... ..

华大九天 国产 EDA 工具。

EDA 中心 中国科学院 EDA 中心。

国内最新进展

国家科技重大专项

极大规模集成电路制造装备及成套工艺 2011.03.03

- 成套工艺方面，中芯国际“65 纳米成套工艺”整体研发完成并进入批量生产。
- 装备整机方面，多台 12 英寸集成电路生产线用关键整机产品及关键零部件实现突破。

核高基重大专项

国内最新进展

国家科技重大专项

极大规模集成电路制造装备及成套工艺 2011.03.03

- 成套工艺方面，中芯国际“65 纳米成套工艺”整体研发完成并进入批量生产。
- 装备整机方面，多台 12 英寸集成电路生产线用关键整机产品及关键零部件实现突破。

核高基重大专项

先进 EDA 工具平台开发 2011.01.13

- 完成了 130nm 和 65nm 工艺两套功能完善的 PDK，建立了 PDK 设计方法和以国产 EDA 工具为主体的设计参考流程；
- 研究国内领先的纳米工艺 DFM 应用技术，开发了国内主流 Foundry 90nm 和 65nm 工艺 DFM 优化精简标准单元库，通过了 Foundry 的 DFM 测试验证；
- 应用国产 EDA 工具完成两款芯片设计，提出了 EDA 软件需求、测试和改进报告；
- 针对中芯国际 65 纳米工艺，运用自主开发的 DFM 软件平台、光刻知识库以及第三方软件，建立 DFM 应用流程。

国内最新进展

国家科技重大专项

极大规模集成电路制造装备及成套工艺 2011.03.03

- 成套工艺方面，中芯国际“65 纳米成套工艺”整体研发完成并进入批量生产。
- 装备整机方面，多台 12 英寸集成电路生产线用关键整机产品及关键零部件实现突破。

核高基重大专项

EDA 工具应用示范平台建设（深圳） 2011.11.30

- 《基于华大 EDA 工具全定制集成电路设计技术》大学教材
- “基于国产 EDA 工具使用”5 本论文集

国内最新进展

国家科技重大专项

极大规模集成电路制造装备及成套工艺 2011.03.03

- 成套工艺方面，中芯国际“65 纳米成套工艺”整体研发完成并进入批量生产。
- 装备整机方面，多台 12 英寸集成电路生产线用关键整机产品及关键零部件实现突破。

核高基重大专项

EDA 工具应用示范平台建设（北京） 2012.10.16

- 八个国家级 IC 设计产业化基地（上海杭州无锡北京深圳成都西安济南）
- 中科院 EDA 中心
- 基本实现对国产 EDA 工具的验证、推广、使用及技术、人才储备的目标

核高基重大专项

核心电子器件、**高**端通用芯片、**基**础软件产品
信息科技产业战略制高点
工程投资额：600 亿元以上
工程期限：2006 年—2020 年

核高基重大专项

核心电子器件、**高**端通用芯片、**基**础软件产品

信息科技产业战略制高点

工程投资额：600 亿元以上

工程期限：2006 年—2020 年

核高基重大专项的主要目标是：在**芯片**、**软件**和**电子器件**领域，追赶国际技术和产业的迅速发展。通过持续创新，攻克一批关键技术、研发一批战略核心产品。到2020年，我国在**高端通用芯片**、**基础软件**和**核心电子器件**领域基本形成具有国际竞争力的高新技术研发与创新体系，并在全球电子信息技术与产业发展中发挥重要作用；拥有一支国际化的、高层次的**人才**队伍，形成比较完善的自主创新体系，为我国进入创新型国家行列做出重大贡献。

核高基重大专项

核心电子器件、高端通用芯片、基础软件产品
信息科技产业战略制高点
工程投资额：600 亿元以上
工程期限：2006 年—2020 年

2013 年申报指南

支撑“核高基”专项**国产 EDA 工具、嵌入式微处理器、IP 核**在国内 IC 设计行业的产业化应用及示范推广，促进专项科研成果产业化。建立国产 EDA 工具、嵌入式微处理器、IP 核协同互动的软硬件技术服务平台，实现与国际相关主流产品在国内 IC 设计行业的共存并用，并逐步在局部领域形成竞争优势。

内容提要

1 数字系统设计自动化

- 发展
- 未来
- 中国

2 数字系统的设计流程

- 设计方法
- 设计工作

内容提要

1 数字系统设计自动化

- 发展
- 未来
- 中国

2 数字系统的设计流程

- 设计方法
- 设计工作

① 设计过程的层次

设计过程是分层次的

- 接近**概念设计**的层次 ⇒ 抽象级别较高的层次
- 接近**物理实现**的层次 ⇒ 抽象级别较低的层次

自动设计 从高层次描述开始，通过 EDA 工具逐步自动实现芯片的版图设计。

EDA 工具发展也是分层次的

- 分别在不同层次上发展，为不同类型的设计者服务。
- 级别较低的 EDA 工具首先得到发展。（**自底向上**）

① 设计过程的层次

设计过程是分层次的

- 接近**概念设计**的层次 \Rightarrow 抽象级别较高的层次
- 接近**物理实现**的层次 \Rightarrow 抽象级别较低的层次

自动设计 从高层次描述开始，通过 EDA 工具逐步自动实现芯片的版图设计。

EDA 工具发展也是分层次的

- 分别在不同层次上发展，为不同类型的设计者服务。
- 级别较低的 EDA 工具首先得到发展。（**自底向上**）

① 设计过程的层次

设计过程是分层次的

- 接近**概念设计**的层次 \Rightarrow 抽象级别较高的层次
- 接近**物理实现**的层次 \Rightarrow 抽象级别较低的层次

自动设计 从高层次描述开始，通过 EDA 工具逐步自动实现芯片的版图设计。

EDA 工具发展也是分层次的

- 分别在不同层次上发展，为不同类型的设计者服务。
- 级别较低的 EDA 工具首先得到发展。（**自底向上**）

② 自底向上

BOTTOM-UP

从小模块逐级构造大模块以至整个电路的方法。

- 基于门级的芯片设计和生产积累门级的单元库。
- 在门级单元库的基础上再建立起宏单元库（加法器、译码器、多路选择器、计数器等）。

- ① 系统分解
- ② 单元设计
- ③ 模块划分
- ④ 子系统设计
- ⑤ 系统总成

效率和可靠性低、设计成本高。

② 自底向上

BOTTOM-UP

从小模块逐级构造大模块以至整个电路的方法。

- 基于门级的芯片设计和生产积累门级的单元库。
- 在门级单元库的基础上再建立起宏单元库（加法器、译码器、多路选择器、计数器等）。

- ① 系统分解
- ② 单元设计
- ③ 模块划分
- ④ 子系统设计
- ⑤ 系统总成

效率和可靠性低、设计成本高。

② 自底向上

BOTTOM-UP

从小模块逐级构造大模块以至整个电路的方法。

- 基于门级的芯片设计和生产积累门级的单元库。
- 在门级单元库的基础上再建立起宏单元库（加法器、译码器、多路选择器、计数器等）。

- ① 系统分解
- ② 单元设计
- ③ 模块划分
- ④ 子系统设计
- ⑤ 系统总成

效率和可靠性低、设计成本高。

③ 自顶向下

TOP-DOWN

- 从高层次的概念设计到低层次的物理实现。
- 自顶向下逐级分解的过程应当由 EDA 工具自动实现。
- 逐级分解的这种层次化设计方法，其层次数一般不受限制。
- 在设计的前期阶段，设计描述应当尽量少和物理实现相联系，以便在最后阶段有更多的选择余地。

- ① 系统设计
- ② 模块设计
- ③ 器件设计
- ④ 版图设计
- ⑤ 系统样机

③ 自顶向下

TOP-DOWN

- 从高层次的概念设计到低层次的物理实现。
- 自顶向下逐级分解的过程应当由 EDA 工具自动实现。
- 逐级分解的这种层次化设计方法，其层次数一般不受限制。
- 在设计的前期阶段，设计描述应当尽量少和物理实现相联系，以便在最后阶段有更多的选择余地。

- ① 系统设计
- ② 模块设计
- ③ 器件设计
- ④ 版图设计
- ⑤ 系统样机

设计流程

流程

系统设计 系统级功能和性能描述、子系统划分、制定子系统接口等。

模块设计 子系统级功能和性能描述、逻辑模块划分等。

器件设计 通用集成电路或 ASIC 实现逻辑模块。

版图设计 ASIC 芯片版图设计和 PCB 版图设计。

CPLD/FPGA 系统编程功能

在完成 PCB 设计和焊接工作后，重新修改 PLD 的内部逻辑，更加灵活和方便。

设计流程

流程

系统设计 系统级功能和性能描述、子系统划分、制定子系统接口等。

模块设计 子系统级功能和性能描述、逻辑模块划分等。

器件设计 通用集成电路或 ASIC 实现逻辑模块。

版图设计 ASIC 芯片版图设计和 PCB 版图设计。

CPLD/FPGA 系统编程功能

在完成 PCB 设计和焊接工作后，重新修改 PLD 的内部逻辑，更加灵活和方便。

设计流程

流程

系统设计 系统级功能和性能描述、子系统划分、制定子系统接口等。

模块设计 子系统级功能和性能描述、逻辑模块划分等。

器件设计 通用集成电路或 ASIC 实现逻辑模块。

版图设计 ASIC 芯片版图设计和 PCB 版图设计。

CPLD/FPGA 系统编程功能

在完成 PCB 设计和焊接工作后，重新修改 PLD 的内部逻辑，更加灵活和方便。

设计流程

流程

系统设计 系统级功能和性能描述、子系统划分、制定子系统接口等。

模块设计 子系统级功能和性能描述、逻辑模块划分等。

器件设计 通用集成电路或 ASIC 实现逻辑模块。

版图设计 ASIC 芯片版图设计和 PCB 版图设计。

CPLD/FPGA 系统编程功能

在完成 PCB 设计和焊接工作后，重新修改 PLD 的内部逻辑，更加灵活和方便。

设计流程

流程

系统设计 系统级功能和性能描述、子系统划分、制定子系统接口等。

模块设计 子系统级功能和性能描述、逻辑模块划分等。

器件设计 通用集成电路或 ASIC 实现逻辑模块。

版图设计 ASIC 芯片版图设计和 PCB 版图设计。

CPLD/FPGA 系统编程功能

在完成 PCB 设计和焊接工作后，重新修改 PLD 的内部逻辑，更加灵活和方便。

设计流程

流程

系统设计 系统级功能和性能描述、子系统划分、制定子系统接口等。

模块设计 子系统级功能和性能描述、逻辑模块划分等。

器件设计 通用集成电路或 ASIC 实现逻辑模块。

版图设计 ASIC 芯片版图设计和 PCB 版图设计。

CPLD/FPGA 系统编程功能

在完成 PCB 设计和焊接工作后，重新修改 PLD 的内部逻辑，更加灵活和方便。

内容提要

1 数字系统设计自动化

- 发展
- 未来
- 中国

2 数字系统的设计流程

- 设计方法
- 设计工作

工作类型

类型

描述

划分

综合

验证

- ① 高级别层次 ⇒ 描述、验证
- ② 划分、综合 ⇒ 高级别描述转换至低一级别的描述
- ③ 验证、划分和综合 ⇒ 设计工作向更低级别延伸

工作类型

类型

描述

划分

综合

验证

- ① 高级别层次 ⇒ 描述、验证
- ② 划分、综合 ⇒ 高级别描述转换至低一级别的描述
- ③ 验证、划分和综合 ⇒ 设计工作向更低级别延伸

① 描述

描述 用文字（例如硬件描述语言 VHDL、Verilog HDL 等）、图形（例如真值表、状态图、逻辑电路图、PCB 或芯片版图等）或者二者结合起来描述不同设计层次的功能。

几何描述 集成电路芯片版图或者 PCB 版图的几何信息。

结构描述 表示一个电路的基本元件构成以及这些基本元件之间的相互连接关系（门级）。

RTL 描述 表示信息在一个电路中的流向（寄存器传输级）。

行为描述 表示一个电路模块输入信号和输出信号之间的相互关系（算法级）。

① 描述

描述 用文字（例如硬件描述语言 VHDL、Verilog HDL 等）、图形（例如真值表、状态图、逻辑电路图、PCB 或芯片版图等）或者二者结合起来描述不同设计层次的功能。

几何描述 集成电路芯片版图或者 PCB 版图的几何信息。

- 可以用物理尺寸表达，也可以用符号表达；
- 可以用图形方式描述，也可以掩膜网表文件的形式存在。

结构描述 表示一个电路的基本元件构成以及这些基本元件之间的相互连接关系（门级）。

RTL 描述 表示信息在一个电路中的流向（寄存器传输级）。

行为描述 表示一个电路模块输入信号和输出信号之间的相互关系（算法级）。

① 描述

描述 用文字（例如硬件描述语言 VHDL、Verilog HDL 等）、图形（例如真值表、状态图、逻辑电路图、PCB 或芯片版图等）或者二者结合起来描述不同设计层次的功能。

几何描述 集成电路芯片版图或者 PCB 版图的几何信息。

结构描述 表示一个电路的基本元件构成以及这些基本元件之间的相互连接关系（门级）。

RTL 描述 表示信息在一个电路中的流向（寄存器传输级）。

行为描述 表示一个电路模块输入信号和输出信号之间的相互关系（算法级）。

① 描述

描述 用文字（例如硬件描述语言 VHDL、Verilog HDL 等）、图形（例如真值表、状态图、逻辑电路图、PCB 或芯片版图等）或者二者结合起来描述不同设计层次的功能。

几何描述 集成电路芯片版图或者 PCB 版图的几何信息。

结构描述 表示一个电路的基本元件构成以及这些基本元件之间的相互连接关系（**门级**）。

- 可以用文字表达，也可以用图形表达；还可以存放在网表文件中。
- 可以在电路级（晶体管、电阻、电容等物理互连），也可以在门级进行结构描述（各种逻辑门和触发器等逻辑互连）。

RTL 描述 表示信息在一个电路中的流向（**寄存器传输级**）。

行为描述 表示一个电路模块输入信号和输出信号之间的相互关系（**算法级**）。

① 描述

描述 用文字（例如硬件描述语言 VHDL、Verilog HDL 等）、图形（例如真值表、状态图、逻辑电路图、PCB 或芯片版图等）或者二者结合起来描述不同设计层次的功能。

几何描述 集成电路芯片版图或者 PCB 版图的几何信息。

结构描述 表示一个电路的基本元件构成以及这些基本元件之间的相互连接关系（门级）。

RTL 描述 表示信息在一个电路中的流向（寄存器传输级）。

行为描述 表示一个电路模块输入信号和输出信号之间的相互关系（算法级）。

① 描述

描述

用文字（例如硬件描述语言 VHDL、Verilog HDL 等）、图形（例如真值表、状态图、逻辑电路图、PCB 或芯片版图等）或者二者结合起来描述不同设计层次的功能。

几何描述 集成电路芯片版图或者 PCB 版图的几何信息。

结构描述 表示一个电路的基本元件构成以及这些基本元件之间的相互连接关系（门级）。

RTL 描述 表示信息在一个电路中的流向（寄存器传输级）。

- 基本元件：寄存器、计数器、多路选择器、存储器、算术逻辑单元和总线等宏单元。
- 隐含了宏单元之间的结构信息，可以直接转换或综合为结构描述（门级）网表的形式。

行为描述 表示一个电路模块输入信号和输出信号之间的相互关系（算法级）。

① 描述

描述 用文字（例如硬件描述语言 VHDL、Verilog HDL 等）、图形（例如真值表、状态图、逻辑电路图、PCB 或芯片版图等）或者二者结合起来描述不同设计层次的功能。

几何描述 集成电路芯片版图或者 PCB 版图的几何信息。

结构描述 表示一个电路的基本元件构成以及这些基本元件之间的相互连接关系（**门级**）。

RTL 描述 表示信息在一个电路中的流向（**寄存器传输级**）。

行为描述 表示一个电路模块输入信号和输出信号之间的相互关系（**算法级**）。

① 描述

描述 用文字（例如硬件描述语言 VHDL、Verilog HDL 等）、图形（例如真值表、状态图、逻辑电路图、PCB 或芯片版图等）或者二者结合起来描述不同设计层次的功能。

几何描述 集成电路芯片版图或者 PCB 版图的几何信息。

结构描述 表示一个电路的基本元件构成以及这些基本元件之间的相互连接关系（**门级**）。

RTL 描述 表示信息在一个电路中的流向（**寄存器传输级**）。

行为描述 表示一个电路模块输入信号和输出信号之间的相互关系（**算法级**）。

- 可以用文字或者图形两种形式来表达。
- 不一定能被综合成正确的 RTL 描述。

② 划分

划分

是在不同的设计层次，将大模块逐级划分成小模块的过程。

- 在同一层次的模块之间，尽量使模块的结构匀称。
减少在资源分配上的差异，从而避免系统在性能上的瓶颈。
- 尽量减少模块之间的接口信号线。
- 划分模块的细度应适合于描述。
- 对于功能相似的逻辑模块，应尽量设计成共享模块。
- 划分时尽量避免考虑与器件有关的特性，使设计具有可移植性。

② 划分

划分

是在不同的设计层次，将大模块逐级划分成小模块的过程。

- 在同一层次的模块之间，尽量使模块的结构匀称。
- 尽量减少模块之间的接口信号线。
在信号线连接最少的地方划分模块，使模块之间用最少的信号线相连，以减少由于接口信号复杂而引起的设计错误和布线困难。
- 划分模块的细度应适合于描述。
- 对于功能相似的逻辑模块，应尽量设计成共享模块。
- 划分时尽量避免考虑与器件有关的特性，使设计具有可移植性。

② 划分

划分

是在不同的设计层次，将大模块逐级划分成小模块的过程。

- 在同一层次的模块之间，尽量使模块的结构匀称。
- 尽量减少模块之间的接口信号线。
- 划分模块的细度应适合于描述。
如果用硬件描述语言 HDL 描述模块的行为，可以划分到算法一级；
用逻辑图来描述模块，则需要划分到门、触发器和宏模块一级。
- 对于功能相似的逻辑模块，应尽量设计成共享模块。
- 划分时尽量避免考虑与器件有关的特性，使设计具有可移植性。

② 划分

划分

是在不同的设计层次，将大模块逐级划分成小模块的过程。

- 在同一层次的模块之间，尽量使模块的结构匀称。
- 尽量减少模块之间的接口信号线。
- 划分模块的细度应适合于描述。
- 对于功能相似的逻辑模块，应尽量设计成共享模块。
改善设计的结构化特性，减少需要设计的模块数量，提高模块设计的可重用性。
- 划分时尽量避免考虑与器件有关的特性，使设计具有可移植性。

② 划分

划分

是在不同的设计层次，将大模块逐级划分成小模块的过程。

- 在同一层次的模块之间，尽量使模块的结构匀称。
- 尽量减少模块之间的接口信号线。
- 划分模块的细度应适合于描述。
- 对于功能相似的逻辑模块，应尽量设计成共享模块。
- 划分时尽量避免考虑与器件有关的特性，使设计具有可移植性。可以在不同的器件上实现设计。

③ 综合

综合

将高层次的描述转换至低层次描述的过程。

行为综合 将算法级的**行为描述**转换为**寄存器传输级描述**的过程。

逻辑综合 在标准单元库和特定设计约束的基础上，把**RTL描述**转换成优化的**门级网表**的过程。

版图综合 将门级网表转换为ASIC或者PCB版图的布局布线表述，并生成版图文件的过程。

③ 综合

综合

将高层次的描述转换至低层次描述的过程。

行为综合 将算法级的**行为描述**转换为**寄存器传输级描述**的过程。

- 可以缩短设计周期，提高设计速度。
- 可以在不同的设计方案中，寻求满足目标集合和约束条件花费最少的设计方案。

逻辑综合 在标准单元库和特定设计约束的基础上，把**RTL描述**转换成优化的门级网表的过程。

版图综合 将门级网表转换为ASIC或者PCB版图的布局布线表述，并生成版图文件的过程。

③ 综合

综合

将高层次的描述转换至低层次描述的过程。

行为综合 将算法级的**行为描述**转换为**寄存器传输级描述**的过程。

逻辑综合 在标准单元库和特定设计约束的基础上，把**RTL描述**转换成优化的**门级网表**的过程。

版图综合 将门级网表转换为ASIC或者PCB版图的布局布线表述，并生成版图文件的过程。

③ 综合

综合

将高层次的描述转换至低层次描述的过程。

行为综合 将算法级的**行为描述**转换为**寄存器传输级描述**的过程。

逻辑综合 在标准单元库和特定设计约束的基础上，把**RTL描述**转换成优化的**门级网表**的过程。

- ① 将 RTL 描述转换成由各种逻辑门组成的结构描述；
- ② 然后进行逻辑优化，依照所选工艺的工艺库参数，将优化后的结构描述映射到实际的逻辑门电路（门级网表）文件中。

版图综合 将门级网表转换为 ASIC 或者 PCB 版图的布局布线表述，并生成版图文件的过程。

③ 综合

综合

将高层次的描述转换至低层次描述的过程。

行为综合 将算法级的**行为描述**转换为**寄存器传输级描述**的过程。

逻辑综合 在标准单元库和特定设计约束的基础上，把**RTL描述**转换成优化的**门级网表**的过程。

版图综合 将门级网表转换为ASIC或者PCB版图的布局布线表述，并生成版图文件的过程。

④ 验证

对功能描述和综合的结果是否能够满足设计功能的要求进行模拟分析的过程。

- 验证原始描述的正确性。
- 验证综合结果的逻辑功能是否符合原始描述。
- 验证综合结构中是否含有违反设计规则的错误。
- 验证方法：逻辑模拟（仿真）、规则检查和形式验证。

④ 验证

对功能描述和综合的结果是否能够满足设计功能的要求进行模拟分析的过程。

- 验证原始描述的正确性。
- 验证综合结果的逻辑功能是否符合原始描述。
- 验证综合结构中是否含有违反设计规则的错误。
- 验证方法：逻辑模拟（仿真）、规则检查和形式验证。

④ 验证

对功能描述和综合的结果是否能够满足设计功能的要求进行模拟分析的过程。

- 验证原始描述的正确性。
- 验证综合结果的逻辑功能是否符合原始描述。
- 验证综合结构中是否含有违反设计规则的错误。
- 验证方法：逻辑模拟（仿真）、规则检查和形式验证。

④ 验证

对功能描述和综合的结果是否能够满足设计功能的要求进行模拟分析的过程。

- 验证原始描述的正确性。
- 验证综合结果的逻辑功能是否符合原始描述。
- 验证综合结构中是否含有违反设计规则的错误。
- 验证方法：逻辑模拟（仿真）、规则检查和形式验证。

验证方法

逻辑模拟 通过观察从原始描述抽象出的模型或者综合结果在外部激励信号作用下的反应来判断原始描述或者综合结果是否实现了预期的逻辑功能。

规则检查 分析综合结果中各种数据关系是否符合设计规则。

形式验证 根据对逻辑功能和结构的描述，使用数学分析方法来确定电路的状态以及相邻状态之间的关系，用类似定理证明的方法来验证实现结果的正确性。

验证方法

逻辑模拟 通过观察从原始描述抽象出的模型或者综合结果在外部激励信号作用下的反应来判断原始描述或者综合结果是否实现了预期的逻辑功能。

行为级仿真 观察系统在激励的作用下系统数学模型的功能是否正确，并且在抽象层面上评估系统性能。

寄存器传输级仿真 验证 RTL 描述是否符合逻辑综合工具的要求。

门级仿真 时序仿真验证逻辑设计的正确性和研究电路中的延迟对输出波形的影响等。

规则检查 分析综合结果中各种数据关系是否符合设计规则。

形式验证 根据对逻辑功能和结构的描述，使用数学分析方法来确定电路的状态以及相邻状态之间的关系，用类似定理证明的方法来验证实现结果的正确性。

验证方法

逻辑模拟 通过观察从原始描述抽象出的模型或者综合结果在外部激励信号作用下的反应来判断原始描述或者综合结果是否实现了预期的逻辑功能。

行为级仿真 观察系统在激励的作用下系统数学模型的功能是否正确，并且在抽象层面上评估系统性能。

寄存器传输级仿真 验证 RTL 描述是否符合逻辑综合工具的要求。

门级仿真 时序仿真验证逻辑设计的正确性和研究电路中的延迟对输出波形的影响等。

规则检查 分析综合结果中各种数据关系是否符合设计规则。

形式验证 根据对逻辑功能和结构的描述，使用数学分析方法来确定电路的状态以及相邻状态之间的关系，用类似定理证明的方法来验证实现结果的正确性。

验证方法

逻辑模拟 通过观察从原始描述抽象出的模型或者综合结果在外部激励信号作用下的反应来判断原始描述或者综合结果是否实现了预期的逻辑功能。

局限性

- 外部激励的信号要由设计者给出，而外部激励信号的优劣决定了验证的准确性。
- 设计者必须有丰富的经验来分析模拟结果。
- 由于难以穷举激励信号，因此无法确保验证结果的正确性。

规则检查 分析综合结果中各种数据关系是否符合设计规则。

形式验证 根据对逻辑功能和结构的描述，使用数学分析方法来确定电路的状态以及相邻状态之间的关系，用类似定理证明的方法来验证实现结果的正确性。

验证方法

逻辑模拟 通过观察从原始描述抽象出的模型或者综合结果在外部激励信号作用下的反应来判断原始描述或者综合结果是否实现了预期的逻辑功能。

规则检查 分析综合结果中各种数据关系是否符合设计规则。

形式验证 根据对逻辑功能和结构的描述，使用数学分析方法来确定电路的状态以及相邻状态之间的关系，用类似定理证明的方法来验证实现结果的正确性。

验证方法

逻辑模拟 通过观察从原始描述抽象出的模型或者综合结果在外部激励信号作用下的反应来判断原始描述或者综合结果是否实现了预期的逻辑功能。

规则检查 分析综合结果中各种数据关系是否符合设计规则。

版图综合 检查掩膜版的几何设计规则和电学设计规则。

逻辑综合 检查最小脉冲宽度、最大建立时间和保持时间、最大扇出负载、最大电容负载等参数是否符合设计规则约束。

形式验证 根据对逻辑功能和结构的描述，使用数学分析方法来确定电路的状态以及相邻状态之间的关系，用类似定理证明的方法来验证实现结果的正确性。

验证方法

- 逻辑模拟** 通过观察从原始描述抽象出的模型或者综合结果在外部激励信号作用下的反应来判断原始描述或者综合结果是否实现了预期的逻辑功能。
- 规则检查** 分析综合结果中各种数据关系是否符合设计规则。
- 形式验证** 根据对逻辑功能和结构的描述，使用数学分析方法来确定电路的状态以及相邻状态之间的关系，用类似定理证明的方法来验证实现结果的正确性。

设计方法

自底向上 Bottom-Up

- ① 系统分解
- ② 单元设计
- ③ 模块划分
- ④ 子系统设计
- ⑤ 系统总成

自顶向下 Top-Down

- ① 系统设计
- ② 模块设计
- ③ 器件设计
- ④ 版图设计
- ⑤ 系统样机

分层次分级别设计

- ① 接近**概念设计**的层次 ⇒ 抽象级别较高的层次
- ② 接近**物理实现**的层次 ⇒ 抽象级别较低的层次

设计流程

层次

- ① 系统设计
- ② 模块设计
- ③ 器件设计
- ④ 版图设计

类型

- 描述
- 划分
- 综合
- 验证

分工

- 设计者
- 制造者

分层分级设计思想

域

行为域 集成电路的功能

结构域 集成电路的逻辑和电路组成

物理域 集成电路掩膜版的几何特性和物理特性的具体实现

层次

- 系统级
- 算法级
- 寄存器传输级 (RTL)
- 逻辑级
- 电路级

分层分级设计思想

域

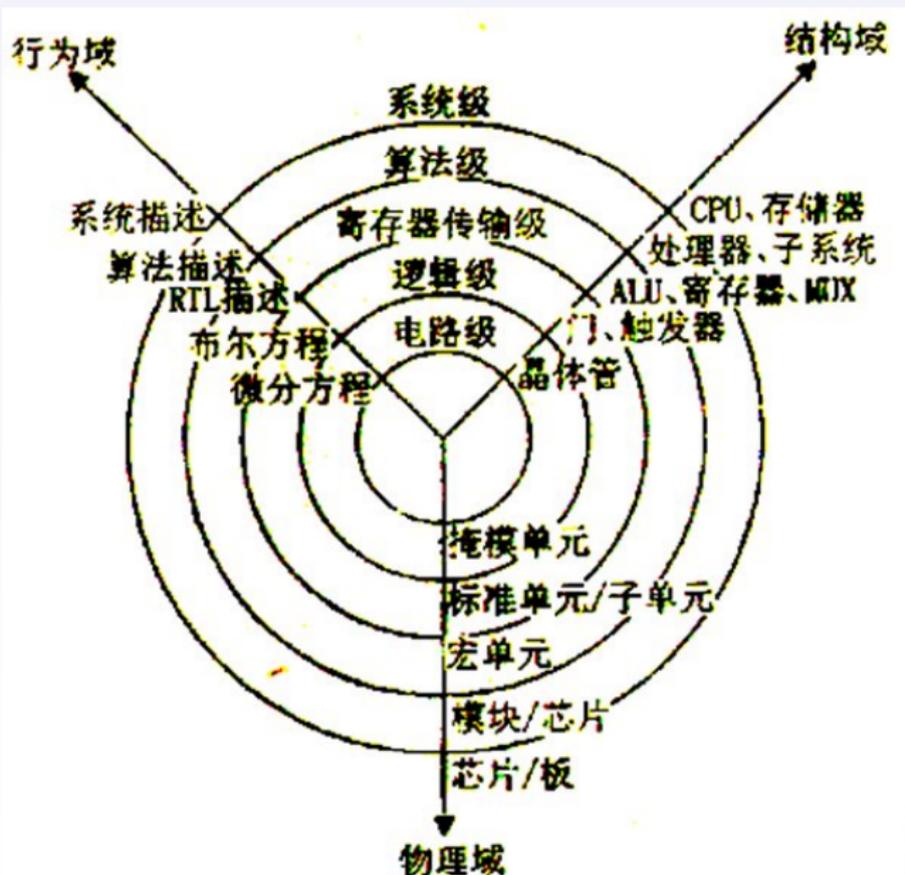
行为域 集成电路的功能

结构域 集成电路的逻辑和电路组成

物理域 集成电路掩膜版的几何特性和物理特性的具体实现

层次

- 系统级
- 算法级
- 寄存器传输级 (RTL)
- 逻辑级
- 电路级



系统级	行为、性能描述	CPU、存储器、控制器等	芯片、电路板、子系统
算法级	I/O 算法	硬件模块、数据结构	部件间的物理连接
RTL 级	状态表	ALU、寄存器、MUX 微存储器	芯片、宏单元
逻辑级	布尔方程	门、触发器	单元布图
电路级	微分方程	晶体管、电阻、电容	管子布图

Google Glass



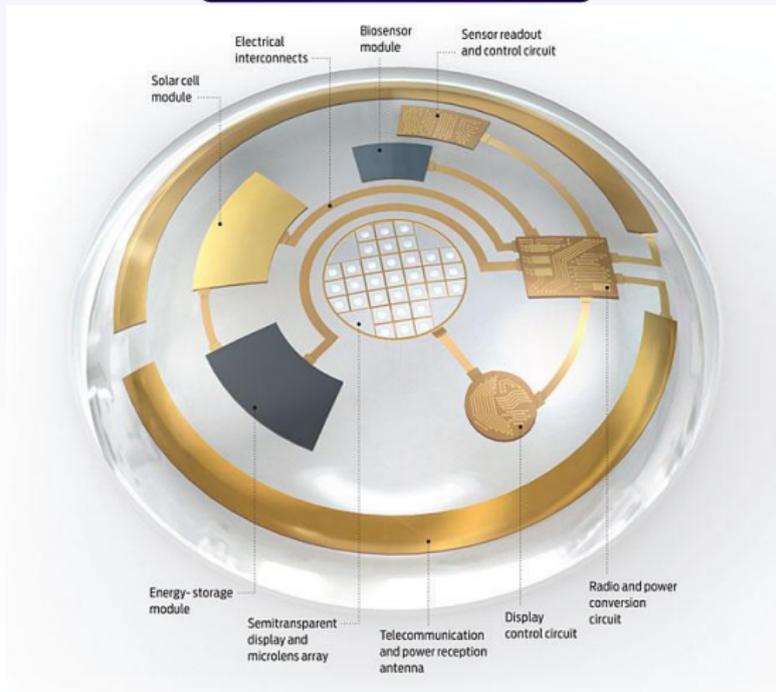
Google Glass

1500\$



Google Glass

嵌入式电子隐形眼镜



Google Glass



- 双核 OMAP 处理器 + Android 4.0
- WiFi + BlueTooth + GPS
- 陀螺仪 + 加速计 + 指南针
- 摄像头 + 麦克风 + 电池
- 640×360 屏幕 + 红外线眼部追踪摄像头 + 骨传导喇叭 + 触摸镜架