

基于 vhdl 语言的四路抢答器

指导老师：郑海永

小组成员：肖超（12020023007）

陈慕遥（12020023001）

杨志飞（12020023008）

单位：中国海洋大学 2012 级通信工程班

地址：中国海洋大学 3 号楼 113 宿舍

邮箱：2804134443@qq.com

目录

一. 摘要.....	3
二. 关键字.....	3
三. 引言.....	4
四. 四路抢答器功能.....	5
五. 小组工作.....	6
六. 实验过程.....	7
1. 实验现象及分析.....	9
2. 实验结果.....	11
3. 实验问题及解决.....	12
七. 实验总结及心得.....	13
八. 实验不足.....	14
九. 致谢.....	14
十. 小组分工.....	15
十一. 附录.....	15
1. 参考书目	
2. 源程序	

摘要：

本实验的研究目的是为提高 vhdI 实践水平，结合课堂所学 vhdI 语言，对四路抢答器在数字系统设计实验层面上进行学习和讨论，熟练掌握四路抢答器的原理、vhdI 语言的编译方法，并针对四路抢答器根据 vhdI 语言进行程序编译、调试以及仿真。试验方法：以小组进行资料的收集，根据课上所学的 vhdI 编译方法，共同讨论四路抢答器的工作原理、程序的编写方法、并基于 ISE 软件进行实验。结论：了解四路抢答器的工作原理并针对性编写了程序完成波形仿真。

关键词：

Vhdl 语言、四路抢答器、工作程序、ISE 软件
波形仿真、计时器、D 触发器、实验原理

引言：

选题背景：依据大一学年所学数字电子电路实验的抢答器的相关知识，恰好与本学期所学习的数字系统电路知识衔接，为巩固之前数字电子电路所学知识，并学习 **vhdl** 实验的实验方法和途径，根据自身知识水平，进行了这一次的实验课题。

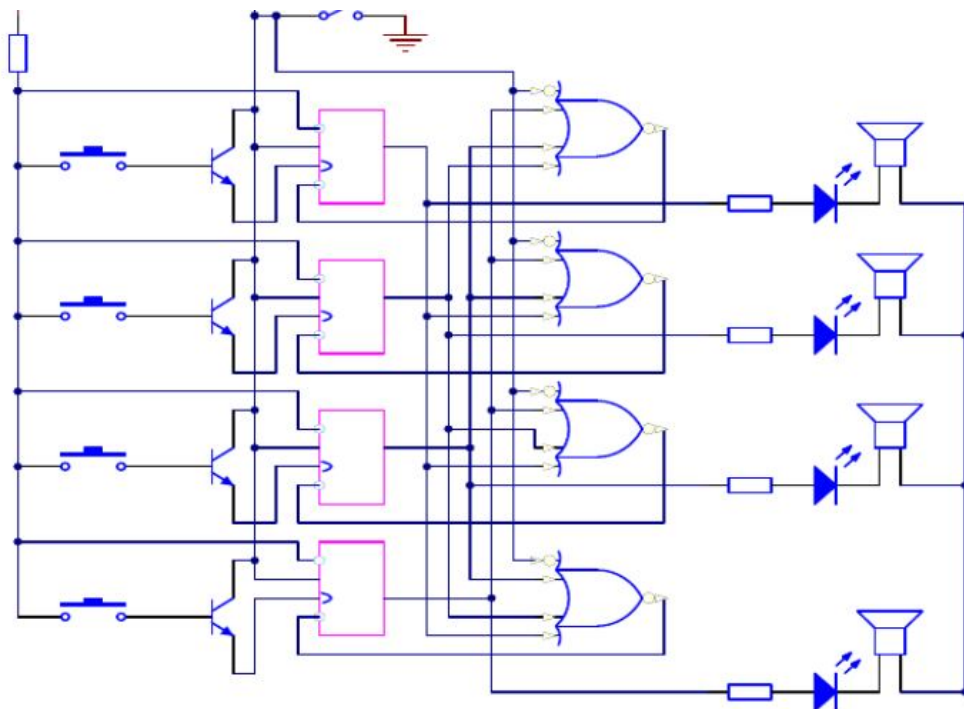
实验意义：通过查阅资料和学习，在实验过程中学习了更多的 **vhdl** 语言的编译方法和实验过程中陌生的关键字，对 **vhdl** 实验的流程有了更清楚的了解。提高了大家相互讨论解决问题的能力。

四路抢答器的功能及原理

功能：

- 1、可同时 4 名选手参赛，他们的编号分别为 a, a1, a2, a3，各用一个抢答按钮，相对应灯的编号为 light0, light1, light2, light3。
- 2、节目主持人设置一个控制开关，用来控制系统的清零和抢答
- 3、数字抢答器的应具有显示功能。抢答开始后，如果有选手抢答按钮，并亮相对应的灯，禁止其他选手抢答。先抢答的选手编号一直保持到主持人将系统清零为止。

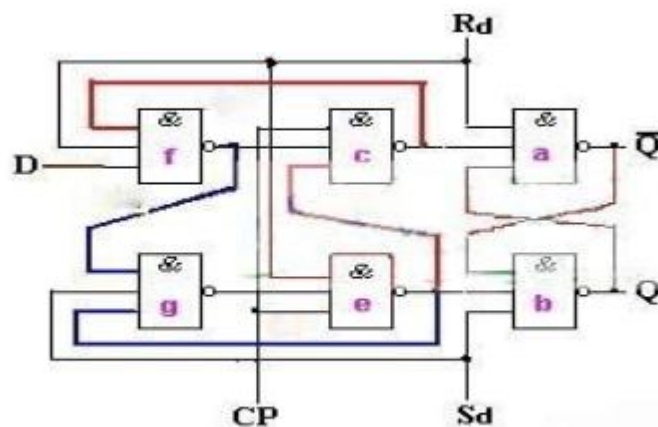
原理：



以上是抢答器的工作原理图。

供四人用的竞赛抢答器装置线路，用以判断抢答优先权。它有三部分构成：1 个 D 触发器 74LS175，它具有置 0 端，置 1 端和 CP 端；1 个 4 输入与门，1 个二输入与门；四个轻触开关，它们组成抢答电路中的 CP 时钟脉冲源，抢答开始时，由主持人清除信号，按下复位开关 S，74LS175 的输出 Q_1 非 ~ Q_4 非全为 1，所有发光二极管 LED 均熄灭，当主持人宣布“抢答开始”后，首先作出判断的参赛者立即按下开关，对应的发光二极管点亮，同时，通过与门送出信号锁住其余三个抢答者的电路，不再接受其它信号，直到主持人再次清除信号为止。

要实现抢答器的工作，最重要是要学习和利用 D 触发器的原理：



此 D 触发器又叫维持——阻塞边沿触发器，该触发器有六个与非门组成，其中啊 a 和 b 构成基本 RS 触发器下面分析其工作原理：

S_d 和 R_d 接至基本 RS 触发器的输入端，它们分别是预置和清零端，低电平有效。当 $S_d=0$ 且 $R_d=1$ 时，不论输入端 D 为何种状态，都会使 $Q=1$ ， $Q=0$ ，即触发器置一；当 $S_d=1$ 且 $R_d=0$ 时，触发器的状态为 0， S_d

和 R_d 通常又称为直接置1和置0端。工作过程如下：

①、 $CP=0$ 时，与非门 c 和 g 封锁，其输出 $c=e=1$ ，触发器的状态不变。同时，由于 c 至 f 和 e 至 g 的反馈信号将这两个门打开，因此可接收输入信号 D ， $f=D$ ， $g=f=D$ 。

②、当 CP 由0变1时触发器翻转。这时 c 和 e 打开，它们的输出 c 和 e 的状态由 f 和 g 的输出状态决定。 $C=f=D$ ， $e=g=D$ 。由基本 RS 触发器的逻辑功能可知， $Q=D$ 。

③、触发器翻转后，在 $CP=1$ 时输入信号被封锁。 C 和 e 打开后，它们的输出 c 和 e 的状态是互补的，即封锁了 D 通往基本 RS 触发器的路径；该反馈线起了使触发器维持在0状态和阻止触发器变为1状态的作用，故该反馈线称为置0维持线，置1阻塞线。 e 为0时，将 c 和 g 封锁， D 端通往基本 RS 触发器的路径也被封锁。

小组工作

为完成本次的小组工作，小组成员进行了以下几个阶段的课题工作。

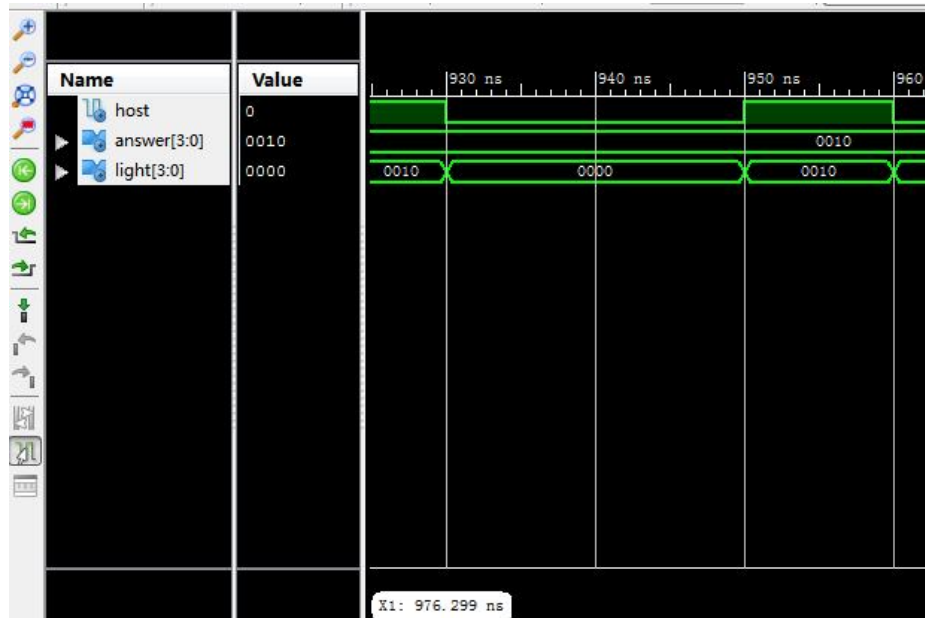
第一阶段，在提交了课题之后，小组成员开始对课题进行研究，进行讨论，进行了小组分工，首先进行知识的学习和资料的收集，通过学习课本以及参考书目 vhd1 语言的讲解，能够编写一些简单程序，重点学习了实验所需的 D 触发器的原理和基于 vhd1 的编写语言。

第二阶段是实验的进行阶段，小组成员首先利用了之前找到的一些实验程序，都或多或少存在问题，于是根据找到的程序进行编译，结果并不理想，通过寻找学长帮助，找到了解决办法，成功运行了程序。

第三阶段是实验的调试阶段。由于下载的 ise 软件与实验室的软件存在版本上的差异，有一些之前可以轻松完成的工作显得不很流畅，小组成员这时并不急于求助，相反认为是个了解这个软件的机会，如果做好了还可以有助于之后实验课的学习。于是大家一起进行讨论，将之前实验课学到的软件内容进行综合，解决了一些版本区别的问题得出了仿真图形。

实验过程

实验现象及分析：



仿真图形：

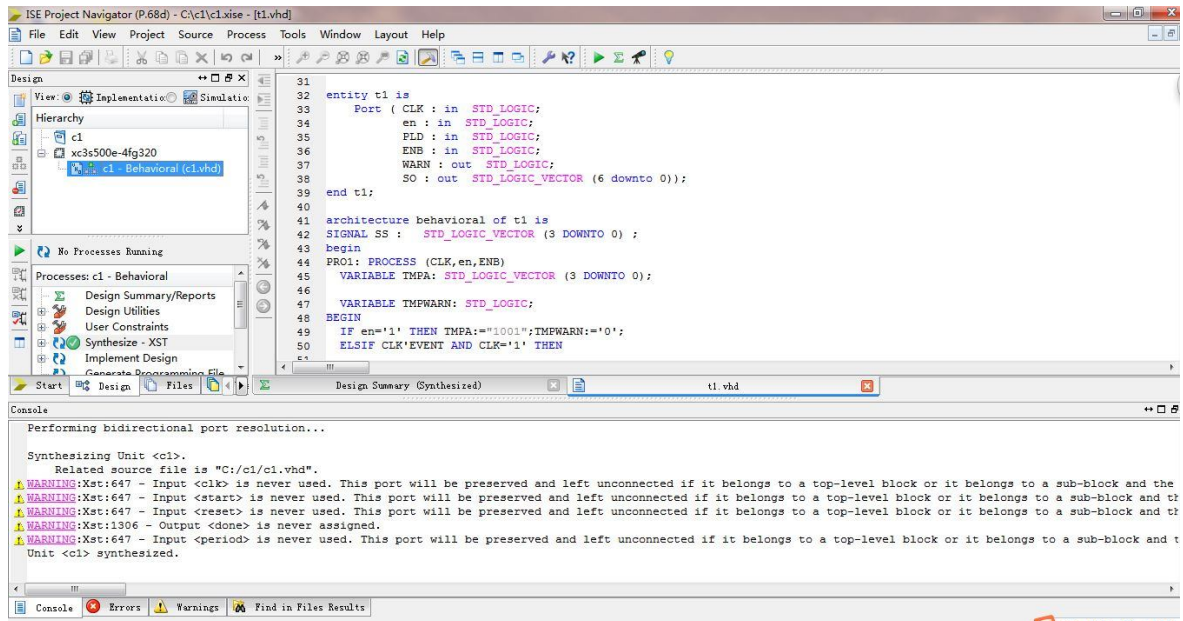
解释说明：

从上面波形可以看出：当 host 输入为0时，不管 answer 输入何种信号，light 始终为0000；只有当 host 输入为1，answer 输入某种信号，light 得到相应的信号。也就是说，当主持人没有按下开始按钮时，此时选手抢答无效，只有当主持人按下开始按钮后，抢答才有效。



解释说明：

以上波形很好解释了四路竞赛抢答器的功能：最初 host 输入为0,此时输出 light 一直为0000，一段时间的延迟后，host 输入变成1，此时输出 light 得到0010；过了一段时间，主持人按下清零按钮，选手进行下一轮的抢答。当主持人还没下达开始指令时，此时抢答依旧无效，只有当 host 输入为1时，选手抢答才有效。



我们通过对查找倒计时的改编，成功编写出了实验程序，但由于 ISE 软件与实验室的有所差距，需要编写仿真波形调试程序，最终没有出现仿真波形，程序在附录部分。

实验结果：

编写出了实验程序，通过设置 ‘0’，‘1’ 模拟主持人的清零和抢答操作，并利用了 ise 软件进行了对于抢答的仿真工作，但并不能完成最初关于竞赛抢答器的功能设定，由于对于程序编写的能力有限，没有完成对计时功能的设定，需要通过以后的学习加以完善。

实验问题及解决

首先，就是编写程序的问题，我们找到的程序并不正确，小组成员在这一方面用的时间也最多，大家通过讨论，对程序的修改，自己对 vhdl 程序的编写知识也在不知不觉之中得到了提高，对自己专业课程的学习也有了帮助，对编写知识的欠缺，还是需要通过不断的学习和查阅书籍来解决。

接下来的问题就是对 ISE 软件的安装和使用，找到能够很好运行的软件也不容易，出现了许多问题，安装上还出现了兼容性的问题，我们最终通过对几个版本程序的选择，找到了合适的程序。

我们用的软件与实验室最大的区别就是关于波形仿真，在实验调试之前需要输入调试程序，这里要感谢魏涛学长，给了我们很大的帮助和指导，写出了调试所需的程序，完成了仿真。

实验总结及心得

从总体上来说，虽然本次课题我们选取的课题并不复杂，最终的结果也没有达到最初的设想，但作为一名 vhdl 实验的初学者，我们凭借自己的努力，成功摸索出来一套实验流程，并学习到了许多新的知识，也明白老师让我们动手实践的良苦用心。

通过自己的动手实践，发现的问题就是，想象永远比实践简单，在真正动手进行课题的时候，遇到一些之前没有想到的问题，遇到一些困难。以后一定要做好对困难的估计和准备。

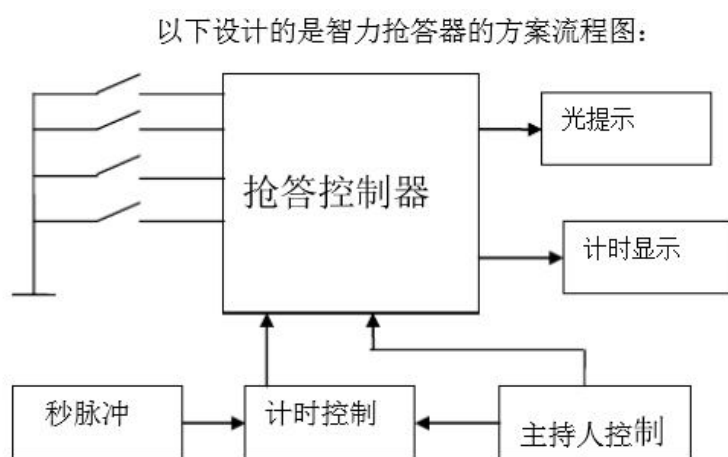
第二点就是要注意团队的协商与合作，学会借鉴别人的成果，在现代的生活中，团队合作是一项十分重要的能力，很难有人在现代社会能够凭借一己之力获得成功，许多成功的背后有许多人的付出与劳动，通过这次课题，每个人从团队讨论与协商中学习到了其他人身上的知识，通过他人的介绍学习到了关于文件，软件的使用方法。每个人都有了不小的收获。

其实这次课题，得到的更多的还是反思，意识到了自己与其他人，其他团队之间的差距，意识到自己应该更好的利用大学时光，弥补自己知识上的差距。

实验不足

在提交课题时，原本计划制作计时的竞赛抢答器，但由于实验工具缺少，对计时的编写方法认知不足，没有能在最后完成，只完成四路抢答部分的仿真，计时器只是将程序部分完成。

完整模块：



对计时控制的控制不足导致最初的课题设想没有能够最终完成，也是本次课题最大的遗憾，现在也一直在调试程序，希望得到稳定的仿真输出波形。

致谢

数字系统设计指导老师：郑海永老师

2011 级通信工程魏涛

小组分工

本次工作主要是大家一同完成，大家在同一宿舍，便于合作，所以每个部分基本都有大家参与，所以这里提一下主要贡献，杨志飞主要进行对程序的查找和修改，陈慕遥主要对程序进行中的问题进行调试和修改，肖超进行实验的仿真和记录，还有一些大家一同进行的工作，安装 ISE 软件，对竞赛抢答器工作原理的探讨，课题的总结。

附录

参考书目：

《VHDL 数字系统设计优技丛书》李欣 张海燕 编著

《VHDL 数字电路设计教程》 苗丽华 编著

源程序：

```
library IEEE;
```

```
use IEEE.STD_LOGIC_1164.ALL;
```

```

--use IEEE.NUMERIC_STD.ALL;

--library UNISIM;

--use UNISIM.VComponents.all;

entity t2 is
    Port ( host : in  STD_LOGIC;
           answer : in  STD_LOGIC;
           light : out  STD_LOGIC);
end t2;

architecture Behavioral of t2 is

begin

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity carrie is
    port
    (
        host  : in std_logic; --主持人信号
        answer  : in std_logic_vector(3 downto 0);--抢答信号
        light  : out std_logic_vector(3 downto 0)--指示灯
    )
end carrie;

```



```

);

end entity;

architecture rtl of carrie is

signal lock:std_logic;  --定义一个'锁'信号使得一人抢答
后其他人不能再抢答上

begin

    process (host, answer, lock)

    begin

        if (host='0') then

            light<="0000";

            lock<='0';          --等主持人信号置为'0'时，人很人抢答
都无效

            elsif (lock='0') then          --当主持人信号不为'0'，"
锁"信号为'0'时

                case answer is

                    when "1000"=>light<="1000";lock<='1';

                    when "0100"=>light<="0100";lock<='1';

                    when "0010"=>light<="0010";lock<='1';

                    when "0001"=>light<="0001";lock<='1';--一人抢答后，锁
信号置为'1'，是其他人抢答无效

                    when others=>light<="0000";  --其他情况都抢答无效

                end case;

            end if;

        end process;

    end begin;

end architecture;

```

```
    end if;

    end process;

end rtl;
```

```
end Behavioral;
```

计时器:

```
library IEEE;

use IEEE.STD_LOGIC_1164.ALL;

entity t1 is

    Port ( CLK : in  STD_LOGIC;

           en : in  STD_LOGIC;

           PLD : in  STD_LOGIC;

           ENB : in  STD_LOGIC;

           WARN : out  STD_LOGIC;

           S0 : out  STD_LOGIC_VECTOR (6 downto 0));

end t1;
```

```
architecture Behavioral of t1 is
```

```
SIGNAL SS :  STD_LOGIC_VECTOR (3 DOWNT0 0) ;
```

```
begin
```

```
PR01: PROCESS (CLK, en, ENB)
```

```

VARIABLE TMPA: STD_LOGIC_VECTOR (3 DOWNT0 0);

VARIABLE TMPWARN: STD_LOGIC;

begin

IF en=' 1' THEN TMPA:="1001";TMPWARN:=' 0' ;

ELSIF CLK' EVENT AND CLK=' 1' THEN

        TMPA:=TMPA-1;

        if TMPA=' 0' then      TMPWARN:=' 1' ;

        END IF;

END IF;

SS<=TMPA;WARN<=TMPWARN;

PROCESS (SS)

begin

CASE SS IS          -----个位显示部分

WHEN "0000" => S0 <="0111111";--显示0

WHEN "0001" => S0 <="0000110";--显示1

WHEN "0010" => S0 <="1011011";--显示2

WHEN "0011" => S0 <="1001111";--显示3

WHEN "0100" => S0<="1100110";--显示4

WHEN "0101" => S0 <="1101101";--显示5

WHEN "0110" => S0 <="1111101";--显示6

WHEN "0111" => S0 <="0000111";--显示7

```

WHEN "1000" => S0 <="1111111";--显示8

WHEN "1001" => S0 <="1101111";--显示9

WHEN OTHERS =>S0<="0000000";

END CASE ;

END PROCESS;