



中国海洋大学

基于FPGA的出租车计费系统设计

成员：张楠 王意茹 董梦娇

目录 content

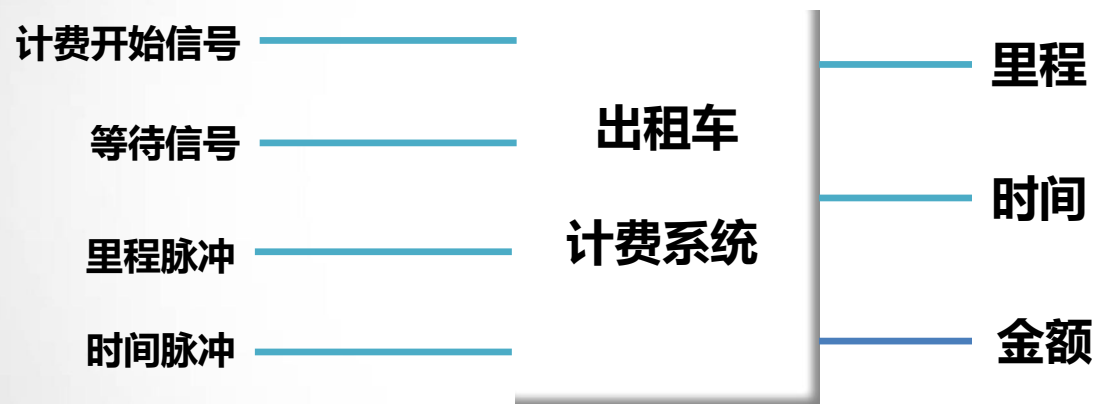
	01	04	06	12	14	16
	项目简介	模块分析	程序编写	例化仿真	问题感悟	分工总结
	1	2	3	4	5	6



1

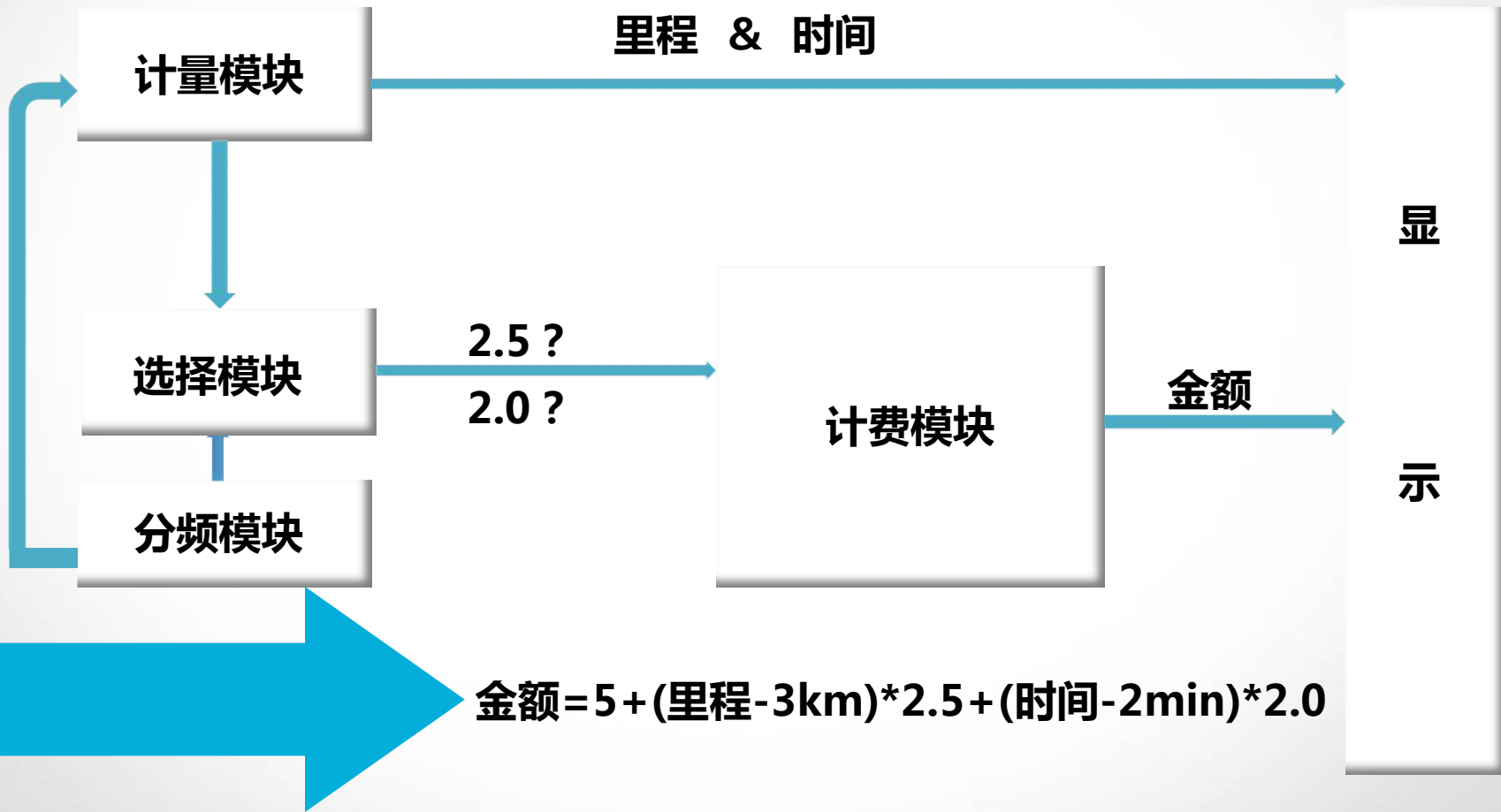
项目简介

项目简介 —— TOP DOWN



$$\text{金额} = 5 + (\text{里程} - 3\text{km}) * 2.5 + (\text{时间} - 2\text{min}) * 2.0$$

模块分析





1

项目简介

2

模块分析

3

程序编写

```

117 entity jifei is
118 port( clk2:in std_logic;           --计费驱动信号
119       start: in std_logic;         --计费开始信号
120       c0,c1,c2,c3: buffer std_logic_vector(3 downto 0));
121 end jifei;

```

```

65 entity jiliang is
66 port( s: in std_logic;             --计量开始信号
67       fin: in std_logic;           --里程脉冲信号
68       stop: in std_logic;          --等待信号
69       clk1: in std_logic;          --计量驱动信号
70       en1,en0:buffer std_logic;     --计量输出的控制信号
71       k1,k0: buffer std_logic_vector(3 downto 0); --里程计数
72       m1,m0: buffer std_logic_vector(3 downto 0));
73 end jiliang;

```

```

33 entity fenpin2 is
34 port ( clk_500 :in std_logic;      --频率为500HZ的时钟
35        clk_20: out std_logic;      --频率为20HZ的时钟
36        clk_25: out std_logic;      --频率为25HZ的时钟
37        clk_1: out std_logic);      --频率为1HZ的时钟
38 end fenpin2;

```

```

150 entity kongzhi is
151 port(ent0,ent1:in std_logic;        --输入的使能选择信号
152       clk_in1:in std_logic;         --输入脉冲
153       clk_in2:in std_logic;         --输入脉冲
154       clk_out:out std_logic);       --输出脉冲
155 end kongzhi;

```



1

项目简介

2

模块分析

3

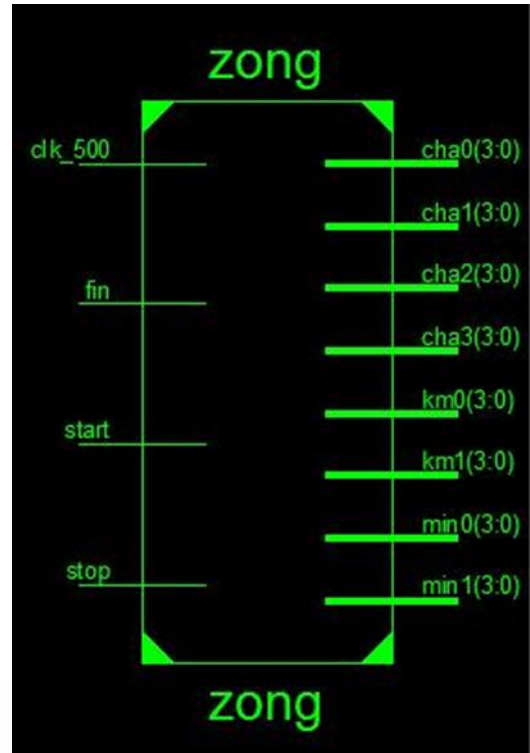
程序编写

4

例化仿真

例化程序

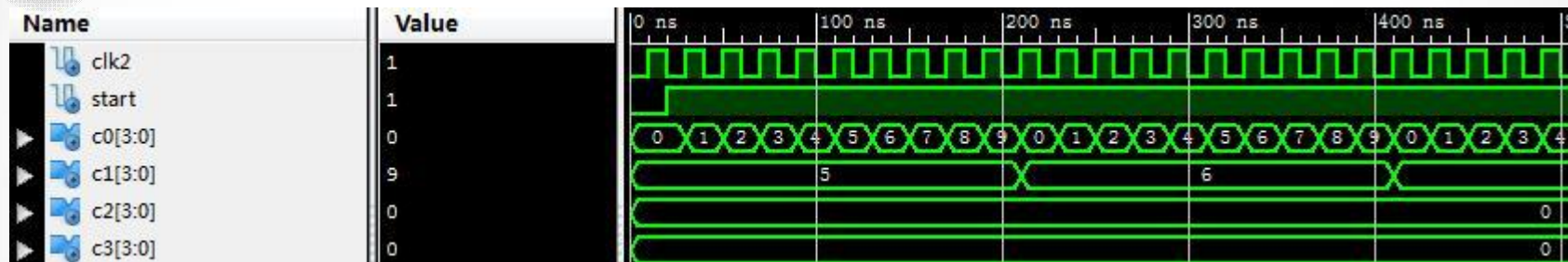
```
173 entity zong is
174 port ( clk_500 :in std_logic;           --500HZ的输入信号
175        start :in std_logic;             --计价开始信号
176        stop:in std_logic;               --等待信号
177        fin:in std_logic;                --里程脉冲信号
178        cha3,cha2,cha1,cha0:buffer std_logic_vector(3 downto 0);  --计费显示输出
179        km1,km0:buffer std_logic_vector(3 downto 0);             --里程计数显示
180        min1,min0: buffer std_logic_vector(3 downto 0));        --等待时间计数
181 end zong;
182
```



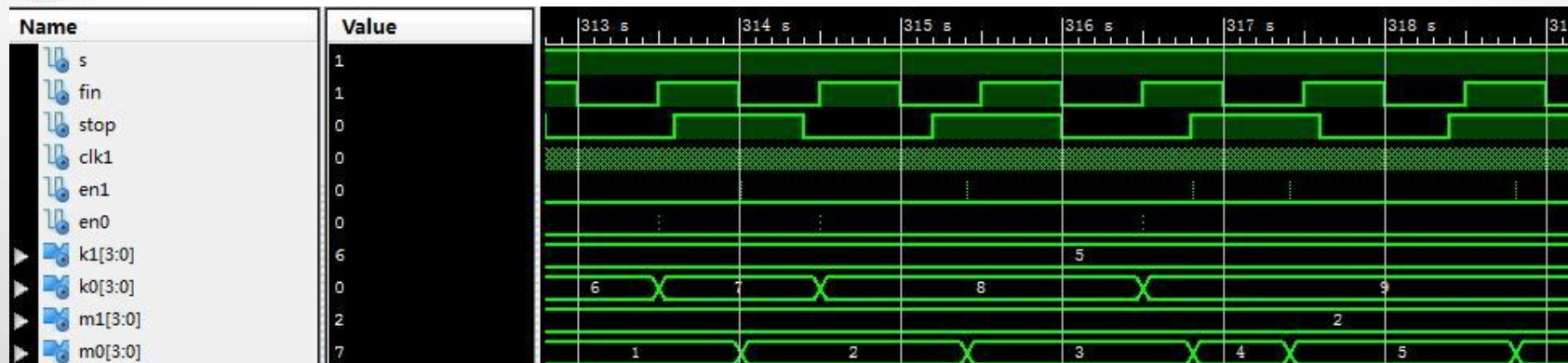
仿真



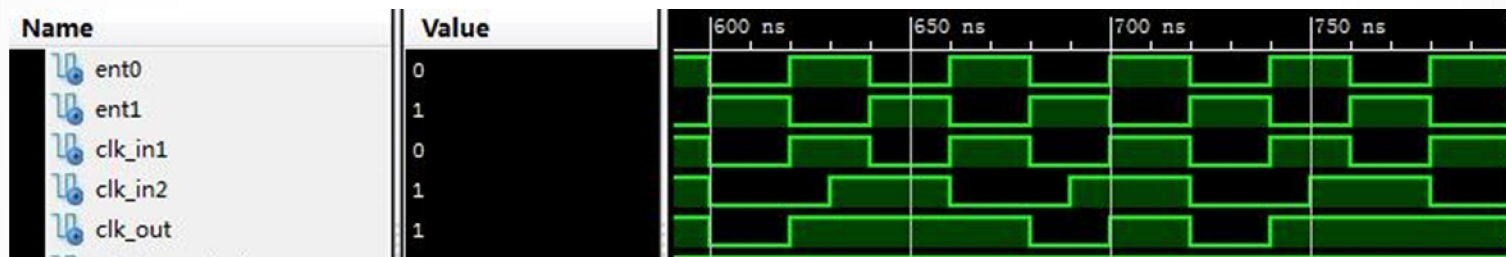
计费模块



计量模块



选择模块



分频模块

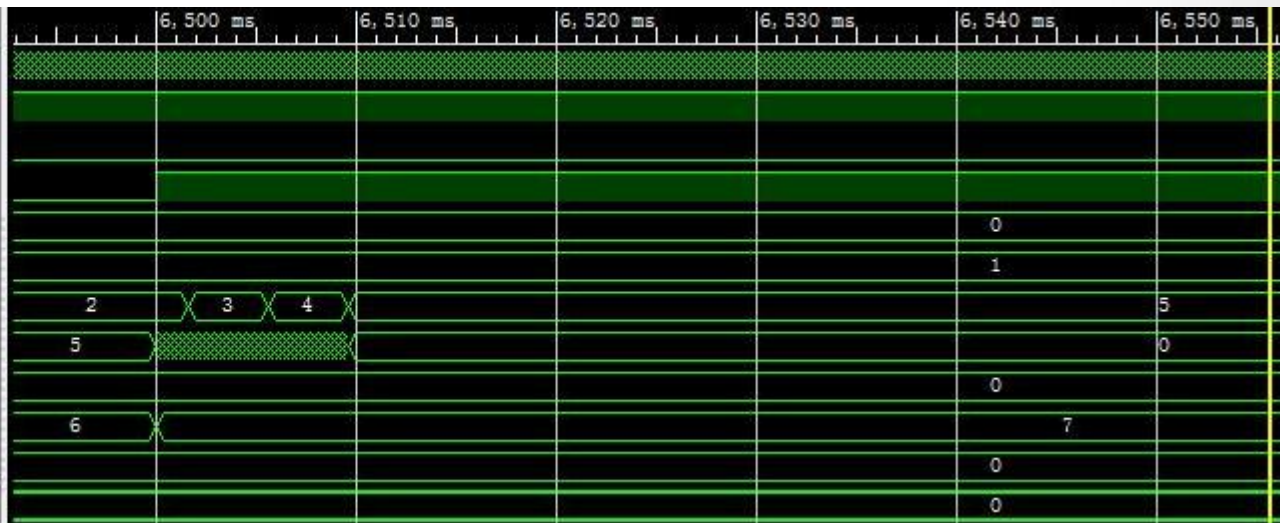


仿真



元件例化后顶层仿真

ame	Value
clk_500	0
start	1
stop	0
fin	1
cha3[3:0]	0
cha2[3:0]	1
cha1[3:0]	5
cha0[3:0]	0
km1[3:0]	0
km0[3:0]	7
min1[3:0]	0
min0[3:0]	0



$$150 \text{ (角)} = 50 + (7-3) * 25 + 0$$



元件例化后顶层仿真



$$555 \text{ (角)} = 50 + (12-3) * 25 + (16-2) * 20$$



1

项目简介

2

模块细化

3

程序编写

4

例化仿真

5

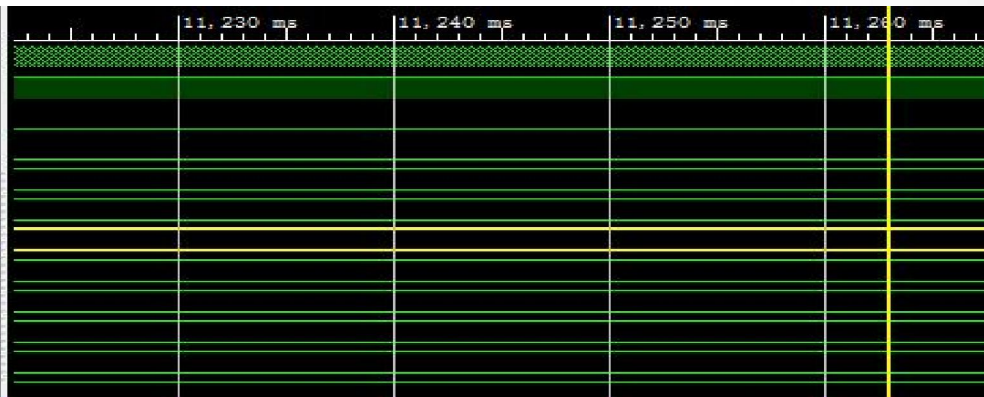
问题感悟

问题与感悟

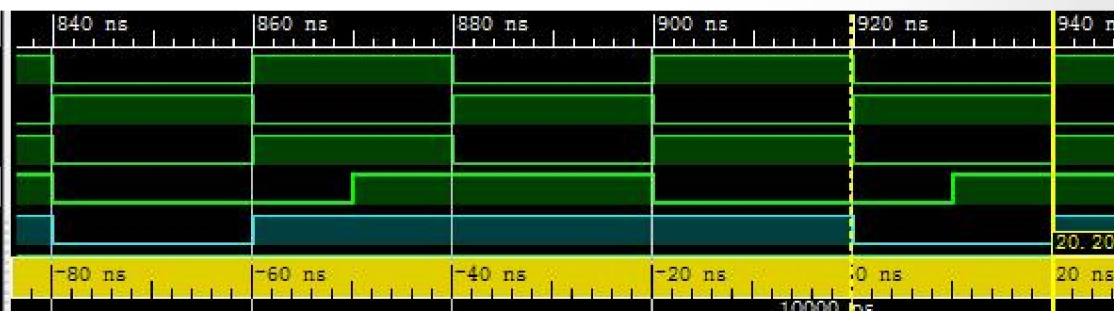


输出不随输入的变化而变化

Name	Value
clk_500	0
start	1
stop	0
fin	0
cha3[3:0]	0
cha2[3:0]	0
cha1[3:0]	5
cha0[3:0]	0
km1[3:0]	0
km0[3:0]	0
min1[3:0]	0
min0[3:0]	0



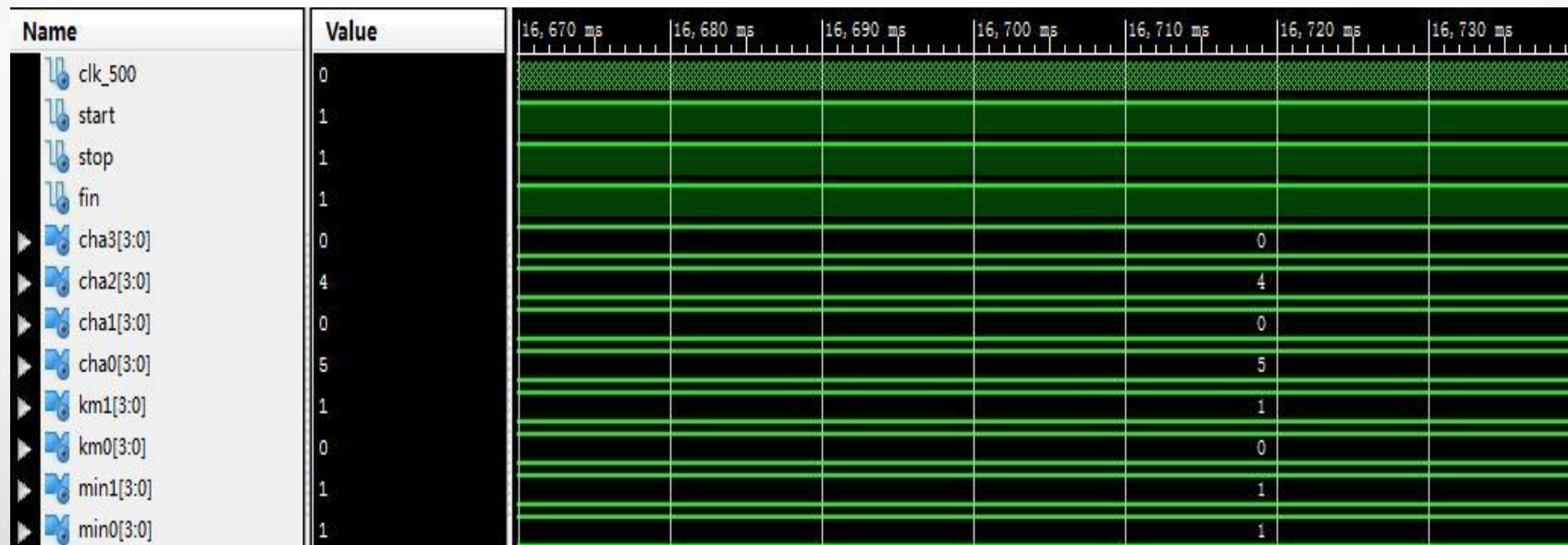
Name	Value
ent0	1
ent1	0
clk_in1	1
clk_in2	1
clk_out	1
clk_in1_period	10000 ps
clk_in2_period	10000 ps



问题与感悟

 问题原因：敏感信号不完整

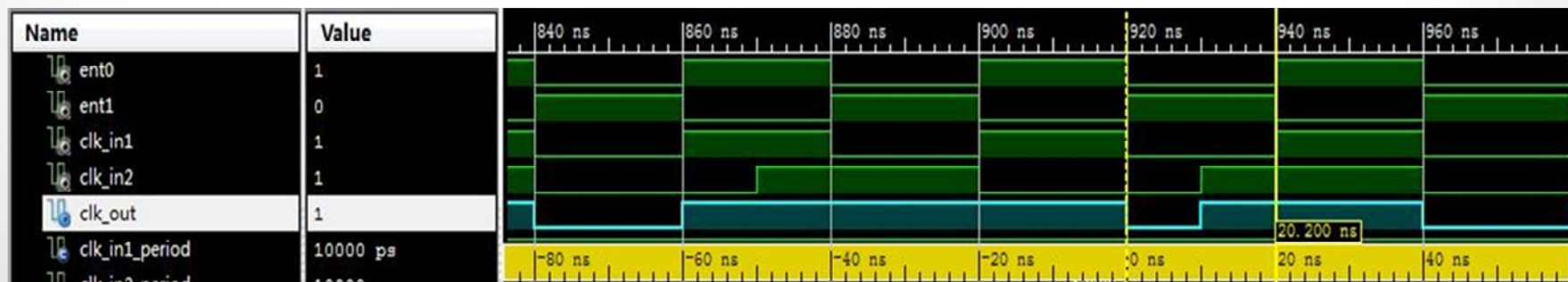
 顶层模块中：process(clk_500)——process(clk_500,s,stop,fin)



问题与感悟

 问题原因：敏感信号不完整

 选择模块中：process(en0,en1)——process(en0,en1,clk_in1,clk_in2)



问题与感悟



里程计费过频繁,与实际不符

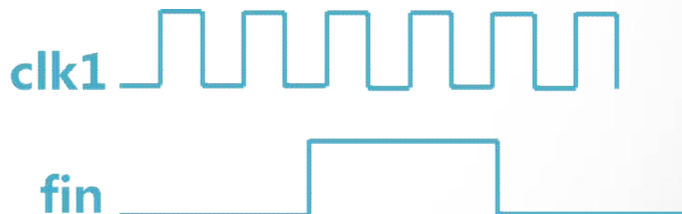
```
begin
  if clk1'event and clk1='1' then    ; 本语句实现 clk1 对计量模块的驱动
    if s='0' then
      w<=0;en1<='0';en0<='0';m1<="0000";m0<="0000";k1<="0000";k0<="0000";
    else[ if stop='1' then            ; 等待计时开始标志
      if w=59 then w<=0;
      if m0="1001" then m0<="0000";
      if m1="0101" then m1<="0000";
      else m1<=m1+1;
      end if;
      else m0<=m0+1;
      end if;                        ; 完成等待计时
      if m1&m0>"00000001"then en1<='1';    ; 等待时间大于 2mi
      else en1<='0';                      信号 en1
      end if;
      else w<=w+1;en1<='0';
      end if;
    elseif fin='1' then              行驶计程开始
      if k0="1001" then k0<="0000";
      if k1="1001" then k1<="0000";
```

问题与感悟



问题原因

```
begin
  if clk1'event and clk1='1' then    ; 本语句实现 clk1 对计量模块的驱动
    if s='0' then
      w<=0;en1<='0';en0<='0';m1<="0000";m0<="0000";k1<="0000";k0<="0000";
    else[ if stop='1' then            ; 等待计时开始标志
      if w=59 then w<=0;
      if m0="1001" then m0<="0000";
      if m1="0101" then m1<="0000";
      else m1<=m1+1;
      end if;
      else m0<=m0+1;
      end if;
      if m1&m0>"00000001"then en1<='1';    ; 完成等待计时
      else en1<='0';                        ; 等待时间大于 2mi
      end if;                                信号 en1
    else w<=w+1;en1<='0';
    end if;
  elsif fin='1' then                  ;行驶计程开始
    if k0="1001" then k0<="0000";
    if k1="1001" then k1<="0000";
```



问题与感悟



问题原因

```
begin
  if clk1'event and clk1='1' then    ; 本语句实现 clk1 对计量模块的驱
    if s='0' then
      w<=0;en1<='0';en0<='0';m1<="0000";m0<="0000";k1<="0000";k0<="0000";
      else[ if stop='1' then          ; 等待计时开始标志
        if w=59 then w<=0;
        if m0="1001" then m0<="0000";
        if m1="0101" then m1<="0000";
        else m1<=m1+1;
        end if;
      else m0<=m0+1;
      end if;
      if m1&m0>"00000001" then en1<='1';    ; 完成等待计时
      else en1<='0';                          ; 等待时间大于 2mi
      end if;                                  信号 en1
    else w<=w+1;en1<='0';
    end if;
    elsif fin='1' then                      行驶计程开始
      if k0="1001" then k0<="0000";
      if k1="1001" then k1<="0000";
```

```
76 begin
77 process (clk1,s,stop,fin,k0,k1,m1,m0)
78 begin
79   if s='0' then
80     w<=0;en1<='0';en0<='0';m1<="0000";m0<="0000";k1<="0000";
81     elsif stop='1' then
82       en0<='0';
83       if clk1'event and clk1='1' then    --等待计时开始标志
84         if w=60 then w<=1;
85         if m0="1001" then m0<="0000";
86         if m1="0101" then m1<="0000";
87         else m1<=m1+1;
88         end if;
89         else m0<=m0+1;
90         end if;
91         if m1&m0>"00000001" then en1<='1';en1<='0' after
92         else en1<='0';
93         end if;
94         else w<=w+1;
95         end if;
96       end if;
97       elsif fin'event and fin='1' then    --行驶计程开始
98         en1<='0';
99         if k0="1001" then k0<="0000";
100        if k1="1001" then k1<="0000";
```

对信号与变量的思考



分频模块的编写引起

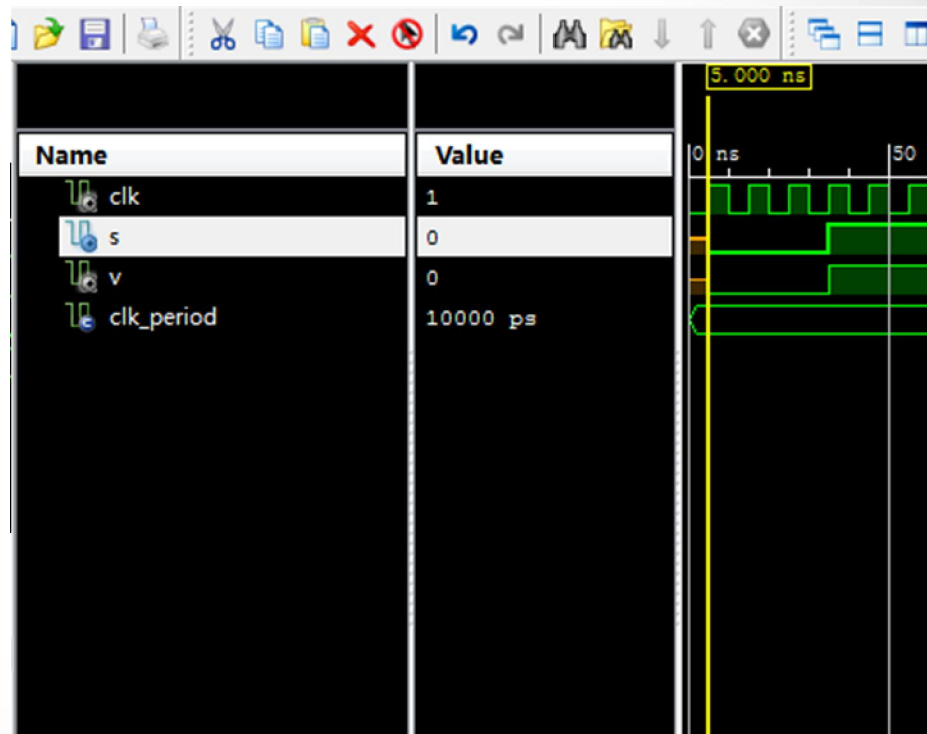
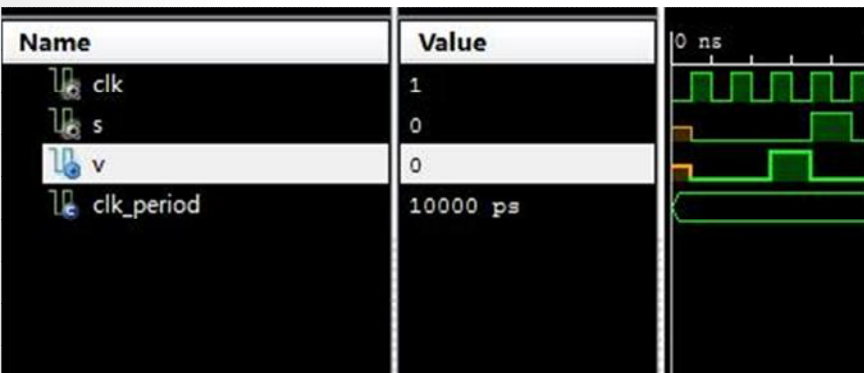
```
41 architecture Behavioral of ss is
42   signal sn: integer range 0 to 20;
43 begin
44   process(clk,sn)
45     variable vn:integer range 0 to 20;
46   begin
47     if(clk'event and clk='1')then
48       sn<=sn+1;vn:=vn+1;
49       if(sn=3)then
50         s<='1';
51       else s<='0';
52       end if;
53       if(vn=3)then
54         v<='1';
55       else v<='0';
56       end if;
57     end if;
58   end process;
59
```

```
35 entity ss is
36   Port ( clk : in  STD_LOGIC;
37         s : out  STD_LOGIC;
38         v : out  STD_LOGIC);
39 end ss;
40
41 architecture Behavioral of ss is
42   signal sn: integer range 0 to 20;
43 begin
44   process(clk,sn)
45     variable vn:integer range 0 to 20;
46   begin
47     if(clk'event and clk='1')then
48       if(sn=3)then
49         s<='1';
50       else s<='0';sn<=sn+1;
51       end if;
52       if(vn=3)then
53         v<='1';
54       else v<='0';vn:=vn+1;
55       end if;
56     end if;
57   end process;
```

对信号与变量的思考



分频模块的编写引起





1

项目简介

2

模块细化

3

程序编写

4

例化仿真

5

问题感悟

6

分工总结

分工

完成任务	负责人员	贡献值
系统设计	王意茹	50%
计量模块		
元件例化	张婵	25%
分频模块		
选择模块	董梦娇	25%
计费模块		
仿真调试	王意茹 董梦娇 张婵	共同完成

总结



更加深入理解数字系统设计思想



BOTTOM——UP TOP——DOWN



体会从逻辑思想形成硬件描述语言来设计电路的过程



从逻辑出发,大部分代码为顺序语句的if-else , 对硬件的设计综合中很难达到最优



在对比与重复中学会耐心的排查错误



谢谢欣赏。

完